

面向光通信应用的 CMOS 28 Gbps 低功耗 高抖动容限 CDR 电路设计

朱智宇¹, 郭凯乐², 武宇轩², 刘涛², 吴苗苗², 陆德超²

(1. 空军工程大学信息与导航学院, 西安, 710077; 2. 空军工程大学防空反导学院, 西安, 710051)

摘要 为了解决光模块中高功耗芯片恶化激光调制器性能,以及解决收发端时钟基准偏差导致误码率高的问题,设计了一款低功耗高抖动容限的时钟数据恢复电路(CDR)。通过采用压控振荡器(VCO)型全速时钟的CDR系统架构和电感峰化的时钟缓冲技术,降低了CDR芯片的功耗;通过在CDR积分通路中引入零点补偿电阻,提高了CDR的抖动容限。该CDR采用CMOS 65 nm工艺设计和1.1 V电源供电,后端仿真结果表明:当CDR电路工作在28 Gbps时,功耗是2.18 pJ/bit,能容忍的固定频差是5 000 ppm,恢复时钟的抖动峰峰值是5.6 ps,抖动容限达到了设计指标,且满足CIE-25/28G协议规范。

关键词 高速串行接口;时钟数据恢复电路;压控振荡器;窄带缓冲器

DOI 10.3969/j.issn.1009-3516.2022.02.012

中图分类号 TU458 **文献标志码** A **文章编号** 1009-3516(2022)02-0077-06

A CMOS 28 Gbps Low Power and High Jitter Tolerance CDR Circuit in Optical Communication Applications

ZHU Zhiyu¹, GUO Kaile², WU Yuxuan², LIU Tao², WU Miaomiao², LU Dechao²

(1. Information and Navigation School, Air Force Engineering University, Xi'an 710077, China;

2. Air Defense and Antimissile School, Air Force Engineering University, Xi'an 710051, China)

Abstract Aimed at the problems that the performance of laser modulator with high-power chips in optical modules becomes deteriorated, and bit-error-rate caused by the clock reference deviation between transceivers is high, a low power and high jitter tolerance clock and data recovery circuit (CDR) is proposed in this paper. By adopting a technology of voltage-controlled oscillator (VCO) type and full-speed CDR system architecture, and using a technology of an inductance peaking in clock buffer, the power consumption of the CDR chip is reduced. By introducing a zero point compensation resistor in the CDR integration path, the jitter tolerance of the CDR is improved. The CDR is designed with CMOS 65 nm process and supplied with 1.1 V. The back-end simulation results show that when the CDR circuit works at 28 Gbps, the power consumption is 2.18 pJ/bit. When the frequency difference of the transceiver is 5 000 ppm, the jitter peak-to-peak value of the recovered clock is 5.6 ps, and the jitter tolerance meets the needs of design index and the CIE-25/28G protocol specification.

Key words high-speed serial interface; clock and data recovery; voltage controlled oscillator; narrow-band buffer

基金项目: 2020-12-02

基金项目: 国家重点研发计划(2018YFB2202302)

作者简介: 朱智宇(1999—),男,甘肃兰州人,硕士生,研究方向为通信集成电路。E-mail: 2528256299@qq.com

引用格式: 朱智宇, 郭凯乐, 武宇轩, 等. 面向光通信应用的 CMOS 28 Gbps 低功耗高抖动容限 CDR 电路设计[J]. 空军工程大学学报(自然科学版), 2022, 23(2): 77-82. ZHU Zhiyu, GUO Kaile, WU Yuxuan, et al. A CMOS 28 Gbps Low Power and High Jitter Tolerance CDR Circuit in Optical Communication Applications[J]. Journal of Air Force Engineering University (Natural Science Edition), 2022, 23(2): 77-82.

时钟数据恢复电路(clock and data recovery, CDR)是高性能计算机、数据中心和高速互连光模块中的关键核心电路^[1-5],其主要功能是从输入的数据中提取时钟,然后利用提取时钟对数据进行同步采样,其性能制约着信息系统的发展。随着 5G、云计算和人工智能等应用的快速发展,短距光通信模块在提高 CDR 速率的同时,更加注重 CDR 的功耗性能^[6-8]。尤其在 HPC 和数据中心的光通信应用中,CDR 的功耗直接决定着光模块的集成密度和误码性能,已经成为制约其发展的关键因素。

为了降低光模块中 CDR 的功耗,人们进行了多种探索性设计。文献[9]采用四分之一速率的时钟架构,通过降低时钟速率来降低 CDR 的功耗。然而,多相时钟必然存在不可消除的相位偏差,且相位偏差会随着速率的提高急剧增大,进而加速 CDR 误码性能的恶化;文献[10~12]通过设计有参考的相位插值技术来降低功耗。由于相位插值器是典型的高功耗模块,随着速率的提高,CDR 的功耗必然急剧增加。文献[13~15]采用 III-V 族锗硅工艺设计光模块中的高速 CDR,相比于 CMOS 工艺,III-V 族工艺的电路单元存在非常高的静态功耗,不利用超低功耗设计。为了降低光通信应用中 CDR 的功耗,本文提出了数据宽带和时钟窄带的思想。通过在标准的 CMOS 工作中采用 VCO 型全速时钟的 CDR 系统架构和电感峰化的窄带缓冲器技术,实现了 28 Gbps 的低功耗 CDR 设计。此外,为了解决收发端

参考时钟偏差带来的高误码率问题,采用了频域建模、行为仿真和大信号分析的设计方法,对引入的零点补偿电阻进行了折中设计,实现了 28 Gbps 高抖动容限 CDR 的设计。

1 低功耗高抖动容限 CDR 的系统架构

图 1 给出了低功耗高抖动容限 28 Gbps CDR 接收机的系统框图,其模块和功能描述如下所述。28 Gbps 的输入数据首先在匹配电阻和连续时间线性均衡器(continuous-time linear equalizer, CTLE)中完成高速信号的接收和均衡,然后在高速采样器中完成数据的重定时,最后经过输出驱动器将恢复的数据输出。图 1 中高速采样器、鉴相器、电荷泵、滤波器、压控振荡器和窄带缓冲器组成了本文提出的低功耗高抖动容限 CDR。该结构通过让时钟工作在全速的 28 GHz,让采样器、鉴相器和电荷泵组工作在 14 GHz,实现 CDR 的低功耗、高抖动容限的设计目标。该 CDR 的具体工作过程是,2 相 28 GHz 差分时钟首先对输入的数据进行流水采样,二进制相位检测器(bang-bang phase detector, BBPD)提取采样时钟和输入数据之间的超前/滞后信息,超前/滞后信息经过电荷泵(charge pump, CP)和滤波器(其中,滤波器中的电容由片上电容和片外电容两部分组成,电阻为一个阻值较小的零补偿电阻)后调整 VCO 的输出时钟相位以保证对输入数据的正确采样。

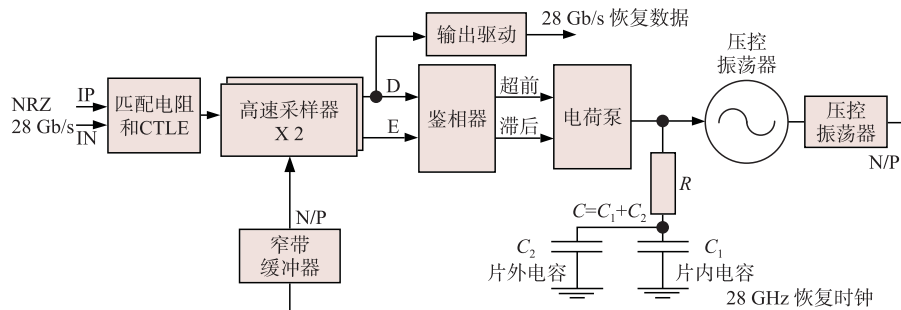


图 1 CDR 系统架构

2 低功耗高抖动容限 CDR 的建模与参数设计

2.1 系统模型

图 2 给出了本文提出的低功耗高抖动容限 CDR 电路的系统模型。该模型主要包含 Bang-Bang 鉴相(BBPD)器、电荷泵、滤波器和 VCO。BBPD 是一种高速的二进制鉴相器,其主要功能是提取输入数据和 VCO 时钟之间的相位误差;电荷泵用于将 BBPD 产生的鉴相结果转换成相应的决策电

流;滤波器中的电阻电容用于对电荷泵的输出电流进行微分和积分;VCO 是压控振荡器,主要作用是产生输出频率可以调整的高频时钟。

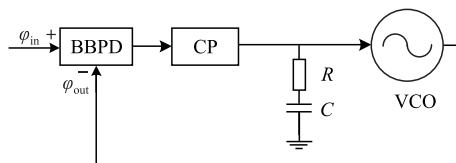


图 2 包含零点补偿电阻的 VCO 型 CDR 电路模型

由图 2 可知,该结构是一个典型的二阶负反馈控制系统,因此存在稳定性问题。为了解决该问题,通常在系统中引入零点补偿电阻,补偿反馈控制环

路的相位裕度,消除系统的不稳定风险。然而,零点补偿电阻的引入会恶化恢复时钟的抖动性能和 CDR 的抖动容限。因此,需要对引入零点补偿电阻的 CDR 进行准确的数据建模和精确的参数设计,以确保其在稳定性、抖动产生和抖动容限 3 个性能中达到均衡。

2.2 低功耗高抖动容限 CDR 的建模与分析

低功耗高抖动容限 CDR 中电荷泵、滤波器、压控振荡器以及电阻电容等参数是紧耦合在一起共同制约 CDR 性能的,需要借助频域和行为模型进行参数设计。

图 2 中的 BBPD 鉴相器虽然适用于高速鉴相,但它是一种典型的二进制鉴相器^[16],无法直接利用线性模型的数学表达对其进行建模。经分析发现,当 CDR 的环路锁定后,且输入数据相位与本地振荡器相位误差较小($\varphi_{\text{error}} < \varphi_m$)时, BBPD 的输入相位误差与输出数据是一种近似线性的关系^[17]。因此,在锁定范围内, BBPD 的线性增益可以表示为 $K_{\text{PD}} = V/(|\varphi_{\text{error}}|)$, ($|\varphi_{\text{error}}| < \varphi_m$), 其中 φ_{error} 是输入相位 φ_{in} 和 VCO 输出相位 φ_{out} 之间的差, φ_m 是 BBPD 近似线性的工作范围。根据 BBPD 的线性增益,本文构建了如图 3 所示的 CDR 线性模型。其中 φ_{in} 是输入数据的相位, φ_{out} 是 VCO 的输出相位, K_{TD} 是输入数据的边沿转换密度, K_{PD} 是鉴相器的线性增益, $I_{\text{CP}}/2\pi$ 是电荷泵增益, $R + 1/S$ 是滤波器的 S 域传输函数, K_{VCO} 是 VCO 的增益, K_{VCO}/S 是 VCO 的 S 域传输函数。因此, CDR 线性模型的开环传递函数可表示为:

$$G(s) = \frac{\varphi_{\text{out}}}{\varphi_{\text{in}}} = K_{\text{TD}} K_{\text{PD}} \frac{I_{\text{CP}}}{2\pi} \left(R + \frac{1}{C_s}\right) \frac{K_{\text{VCO}}}{s} \quad (1)$$

其中伪随机序列发生器 (PRBS) 的转换密度是 0.5。当 $\varphi_{\text{error}} < \varphi_m$ ($\varphi_m \approx 0.07\text{UI}$) 时, K_{PD} 取决于 φ_{in} , 当 φ_{in} 的相位抖动服从高斯分布时, 则 K_{PD} 为 $2/(\sigma\sqrt{2\pi})$ 。其中, σ 是输入信号相位抖动的标准偏差。 σ 用 TJ_{pp}/T_0 表示。 TJ_{pp} 是发送时钟的总抖动, T_0 是单位码元 (UI) 的时间。

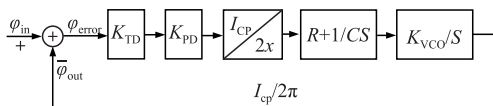


图 3 CDR 线性模型

通过频域的数值仿真结果可知,随着零点补偿电阻阻值的增加,系统稳定性不断提高。图 4 给出了 CDR 环路在不同零点补偿电阻值开环传递函数的增益和相位随频率变化的仿真结果。其中蓝色、

黄色和绿色分别代表电阻是 $0\ \Omega$ 、 $30\ \Omega$ 和 $60\ \Omega$ 时,开环传输函数的增益和相位随频率的变化曲线。由图 4 可知,当不引入零点补偿电阻时,即图中 $R=0$,环路的相位始终滞后 180° ,此时该系统的 2 个极点均在原点处,系统不稳定;当 $R \neq 0$ 时,开环增益下降为 1 的频率处,开环传输函数的相位小于 180° ,系统稳定。因此,从系统的稳定性考虑,希望零点补偿电阻的阻值大一些。

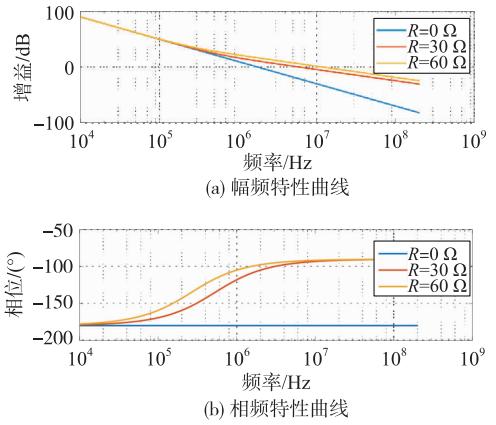
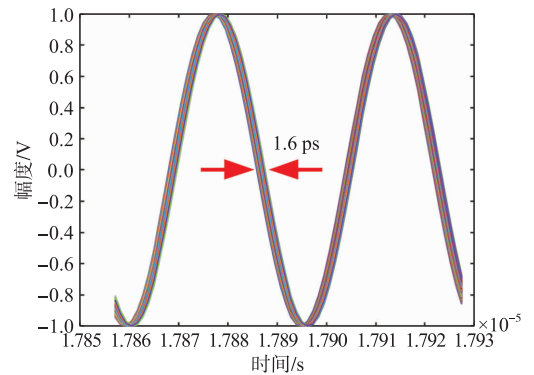
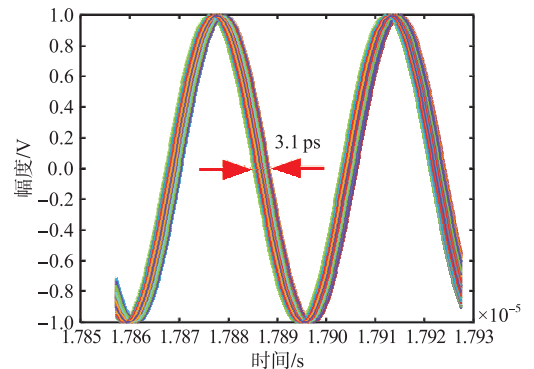


图 4 开环模型的增益和相位曲线

然而,引入较大的零点补偿电阻会恶化恢复时钟的抖动性能。为了进一步说明零点补偿电阻对恢复时钟抖动性能的影响,本文构建了基于 VCO 型全速时钟的 CDR 行为模型,具体建模方法参考文献^[18]。图 5 给出了不同零点补偿电阻阻值下, CDR 恢复时钟眼图的仿真结果。



(a) $R=10\ \Omega$, 恢复时钟眼图



(b) $R=30\ \Omega$, 恢复时钟眼图

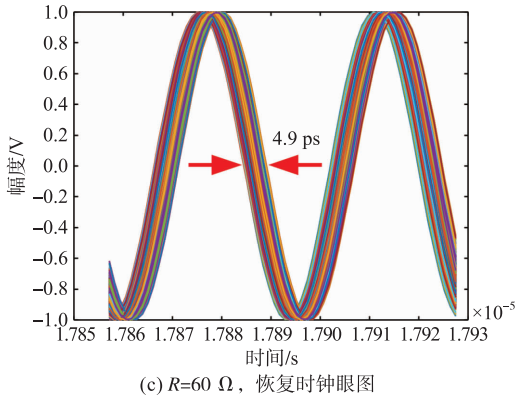


图5 不同零点补偿电阻,CDR 恢复时钟的眼图

由图5可知,随着零点补偿电阻阻值的增大,恢复时钟的抖动幅度不断增大。从CDR自身抖动产生的角度来考虑,希望零点补偿电阻越小越好,故该系统的参数设计需要在系统稳定性、抖动性能两个方面进行折中考虑。此外,收发端参考时钟的固有偏差会严重影响数据传输的误码性能,因此在CDR的设计中还需要考虑CDR的抖动容限性能。

2.3 低功耗高抖动容限CDR的参数设计

抖动容限是衡量接收机对输入相位抖动的容忍度,是CDR的关键性能指标。测量方法是给发送数据的相位叠加某个低频的正弦抖动,通过不断增大低频正弦相位抖动的幅度,使得接收机的相位误差 $\varphi_{in} - \varphi_{out}$ 从0逐渐增加;当相位误差接近0.5 UI时,接收机的误码会急剧增大;当相位误差超过0.5 UI时,接收数据会全部错误,此时该频率下输入的相位抖动超过了CDR所能容忍的最大极限。通过记录不同频率下,CDR所能容忍的最大相位抖动幅度,便可得到CDR的抖动容限。为了保证CDR的正确接收,在分析时要求CDR的输入相位误差必须时刻满足:

$$\varphi_{in} - \varphi_{out} < 0.5 \quad (2)$$

由上述抖动容限的描述可知,在分析CDR抖动容限时,CDR的相位误差处于0.5 UI的临界状态。然而,当输入的相位误差远超过BBPD的线性工作范围($\varphi_{error} \gg \varphi_m$)时,2.2节中构建的线性模型无法进行抖动容限的计算。本文利用大信号分析方法对高抖动容限的CDR环路特性进行分析和设计,具体的理论推导参考文献[19]。

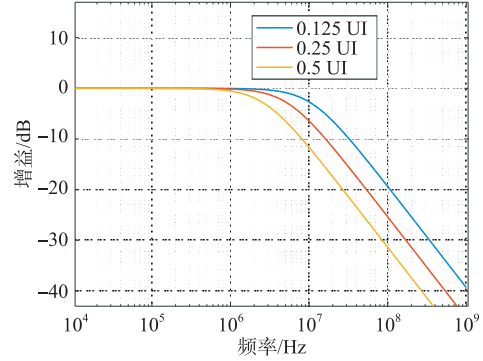
$$\frac{\varphi_{out,p}(s)}{\varphi_{in,p}} = \frac{1}{1 + \frac{1}{\omega_{-3\text{dB}}}} \quad (3)$$

$$\omega_{-3\text{dB}} = \frac{\pi K_{VCO} I_{CP} R}{2\varphi_{in,p}} \quad (4)$$

式中: $\varphi_{out,p}$ 表示输出正弦抖动的最大幅度; $\varphi_{in,p}$ 表示CDR环路输入的正弦抖动最大摆幅; $\omega_{-3\text{dB}}$ 表示CDR的环路带宽; K_{VCO} 是VCO的增益, I_{CP} 是电荷

泵的电流; R 是零点补偿电阻。

图6给出了不同输入正弦抖动幅度 $\varphi_{in,p}$ 情况下CDR的抖动传递曲线。由图6可知,抖动传递曲线的-3 dB带宽随着抖动幅度 $\varphi_{in,p}$ 的增加而减小。由式(4)可知-3 dB带宽与 R 成正比,即当 R 增大时,CDR的抖动传输性能也随之恶化。因此,从恢复时钟抖动性能的方面考虑,希望通过降低 R 的阻值,降低环路带宽,从而提高恢复时钟的抖动性能。

图6 不同抖动输入 $\varphi_{in,p}$ 的非线性抖动传输函数

在非线性工作模式中,抖动容限需要用2个函数表示。当 $\omega < \omega_1$ 时,CDR的抖动容限由下式表示:

$$|C_{JT}| = \sqrt{\frac{(\pi - 0.61 \frac{K_{VCO} I_{CP} \pi^2}{4C\omega^2})^2}{0.64} + \frac{K_{VCO}^2 I_{CP}^4 \pi^4}{16C^2 \omega^4}} \quad (5)$$

$$\omega_1 = 0.63 \frac{\pi}{RC} \quad (6)$$

式中: C 是滤波电容。

当 $\omega \geq \omega_1$ 时,CDR的抖动容限可以表示为:

$$|C_{JT}| = \pi \sqrt{1 + \frac{K_{VCO}^2 I_{CP}^2 R^4}{4\omega^2}} \quad (7)$$

图7给出了BBPD型CDR在不同零点补偿电阻阻值时抖动容限的数值仿真结果。由图7可知,随着零点补偿电阻阻值的增大,CDR抖动容限也在增大。因此,通过提高零点补偿电阻 R 的阻值,可以提高CDR的抖动容限。

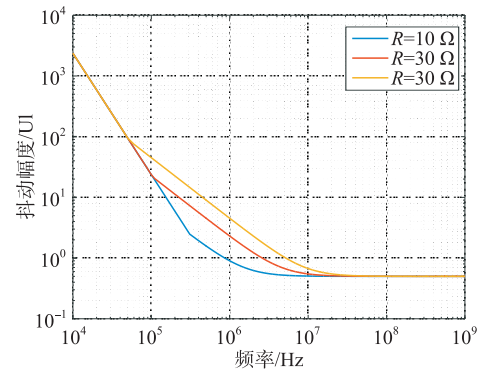


图7 BBPD CDR的抖动容限

综合权衡系统稳定性、抖动产生和抖动容限后,表1给出了本文CDR的零点补偿电阻值和其它关键模块的设计参数。

表 1 CDR 的设计参数

参数	数值
数据速率/Gbps	28
K_{TD}	0.5
K_{PD}	3.957 8 ($TJ_{pp} = 3.6$ ps)
$I_{CP}/\mu A$	300
R/Ω	18
C/nF	100
$K_{VCO}/(GHz/V)$	1

3 电感峰化的低功耗窄带缓冲器

本文通过在全速时钟架构中引入电感峰化的窄带缓冲器实现高频时钟的低功耗传输。

图 8 给出了该电路的具体结构,其中 M_1 和 M_2 是起放大作用的晶体管; M_3 是尾电流晶体管,主要功能是给放大器提供充足电流; C_L 是放大晶体管的漏极寄生电容、走线寄生电容和下一级输入晶体管栅极的寄生电容的总和; L 是峰化电感,它与输出负载电阻 R_L 组成了不同频率下的差异输出阻抗,实现了不同频率下该电路的选频放大。

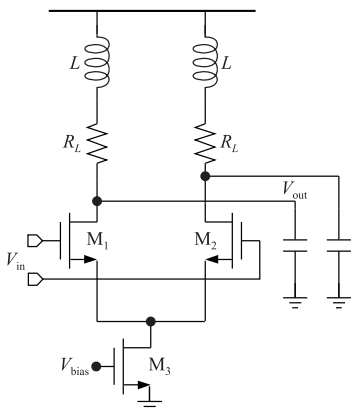


图 8 高频窄带缓冲器的电路结构

图 8 电路的增益表达式为:

$$A = \frac{V_{out}}{V_{in}} = g_m (R_L + j\omega L) // \frac{1}{j\omega C_L} = g_m \frac{R_L + j\omega L}{1 - \omega^2 LC_L + j\omega R_L L} \quad (8)$$

式中: g_m 是 M_1 和 M_2 的跨导。

高频窄带缓冲器的幅频响应特性曲线见图 9。

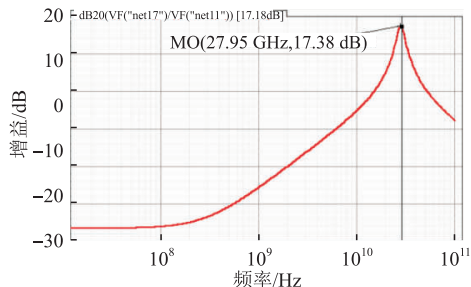


图 9 高频窄带缓冲器的幅频响应曲线

仿真结果显示,该缓冲器仅需要 1 mA 电流就可以实现 28 GHz 高频时钟的放大传输,是一种低

功耗的高频时钟缓冲器^[20]。

4 实验结论

本文提出的低功耗高抖动容限 CDR 电路采用 65 nm CMOS 工艺设计,见图 10。核心电路在 1.1 V 电源下的功耗为 61 mW。电路的后端仿真结果如下所述:当 CDR 输入 28 Gbps 的 PRBS7 数据,且收发频差为 5 000 ppm 时,恢复时钟的总抖动为 5.6 ps,如图 11 所示。图 12 给出了本文设计的 CDR 的计算抖动容限、电路后端仿真的抖动容限和 CEI-25/28G 抖动容限模板。仿真结果表明,该 CDR 抖动容限电路仿真结果与设计计算的结果基本一致,达到了设计指标。电路的抖动容限仿真结果均在 CEI-25/28G 抖动容限模板之上,因此满足 CEI-25/28G 抖动容限的协议规范。

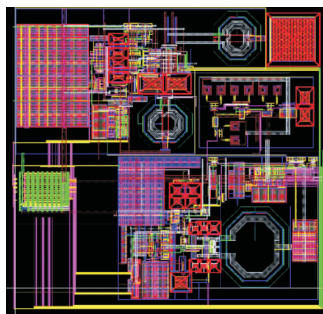


图 10 28 Gb/s CDR 版图

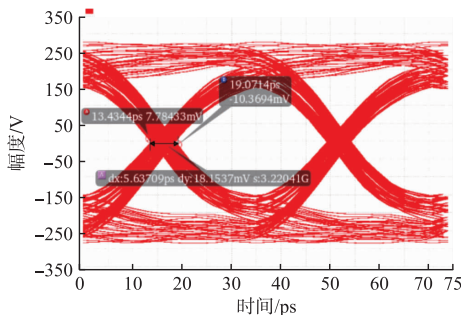


图 11 CDR 锁定后 28 Gbps 恢复的数据眼图

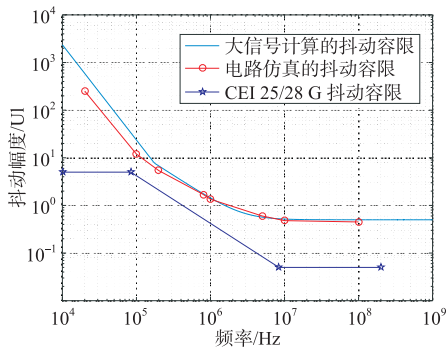


图 12 计算、仿真和标准抖动容限的对比

5 结语

为了解决光模块中高功耗芯片恶化光芯片误码

性能的问题,以及解决传统收发端时钟基准偏差导致误码率高的问题,本文提出了一种用于光通信的低功耗高抖动容限 28 Gbps CDR。通过采用 VCO 型全速 CDR 的架构和电感峰化的高频窄带缓冲器实现了 CDR 的低功耗设计。通过精确设计零点补偿电阻,实现了 CDR 的高抖动容限设计。电路后端仿真结果表明,芯片的核心功耗是 61 mW;当 CDR 输入数据的速率为 28 Gbps,且收发频差为 5 000 ppm 时,恢复数据的总抖动约为 5.6 ps,且满足 CEI-25/28 G 抖动容限的协议规范。

参考文献

- [1] HANUMOLU P K, WEI G Y, MOON U K, et al. A Wide-Tracking Range Clock and Data Recovery Circuit [J]. *IEEE Journal of Solid-State Circuits*, 2008, 43 (2): 425-439.
- [2] SONNTAG J, STONICK J. A Digital Clock and Data Recovery Architecture for Multi-Gigabit/s Binary Links[J]. *IEEE Journal of Solid-State Circuits*, 2006, 41(8):1867-1875.
- [3] 栾文焕,王登杰,贾晨,等. 应用于 10 G base-KR 的二阶时钟数据恢复电路的建模分析与电路设计[J]. *微电子学与计算机*, 2020,37(3):1-4.
- [4] 郭凯乐,王和明,刘涛,等. 基于高速 SerDes 中非等值尾电流源技术的新型高线性度相位插值器设计[J]. *空军工程大学学报(自然科学版)*, 2020, 21(4): 61-67.
- [5] SINGH U, GARG A, CAO J, et al. A 780 mW 4×28 Gb/s Transceiver for 100 GbE Gearbox PHY in 40 nm CMOS [J]. *IEEE Journal of Solid-State Circuits*, 2014, 49(12): 3116-3129.
- [6] CHOI M C, KO H G, OH J, et al. A 0.1 pJ/b/dB 28 Gb/s Maximum-Eye Tracking, Weight-Adjusting MM CDR and Adaptive DFE with Single Shared Error Sampler[C]//2020 IEEE Symposium on VLSI Circuits, Honolulu, HI, USA; IEEE, 2020;1-2.
- [7] WANG H H, KIM J. A Low-Power 20 Gbps Multiphase MDLL-based Digital CDR with Receiver Equalization[C]//2019 International SoC Design Conference, Jeju, Korea (South); IEEE, 2019;42-43.
- [8] ZHANG Z, ZHU G, WANG C, et al. A 32-Gb/s 0.46-pJ/bit PAM4 CDR Using a Quarter-Rate Linear Phase Detector and a Low-Power Multiphase Clock Generator[C]//IEEE Asian Solid-State Circuits Conference (A-SSCC). Macao, China; IEEE, 2020; 241-242.
- [9] LV F, ZHENG X, ZHAO F, et al. A Power Scalable 2-10 Gb/s Pi-Based Clock Data Recovery for Multilane Applications[J]. *Microelectronics Journal*, 2018, 82: 36-45.
- [10] GANGASANI G R, HSU C M. A 16-Gb/s Backplane Transceiver with 12-Tap Current Integrating DFE and Dynamic Adaptation of Voltage Offset and Timing Drifts in 45 nm SOI CMOS Technology[J]. *IEEE Journal of Solid-State Circuits*, 2012, 47(8): 1828-1841.
- [11] 张瑶,张鸿,李梁,等. 时钟数据恢复电路中的线性相位插值器[J]. *西安交通大学学报*, 2016,50(2):48-54.
- [12] ZHENG X. A 40-Gb/s Quarter-Rate SerDes Transmitter and Receiver Chipset in 65 nm CMOS[J]. *IEEE Journal of Solid-State Circuits*, 2017, 52 (11): 2963-2978.
- [13] WALKER J, JKENNE Y G, BANKMAN J. A 12.5-Gb/s Self-Calibrating Linear Phase Detector-Based CDR Using 0.18 μ m SiGe BiCMOS[C]//IEEE Custom Integrated Circuits Conference. San Jose, CA, USA; IEEE, 2014;1-4.
- [14] YUKITO T, TAKAYUKI S, SATOSHI I. A 24-to-35Gb/s x4 VCSEL Driver IC with Multi-Rate Referenceless CDR in 0.13 μ m SiGe BiCMOS[C]//IEEE International Solid-State Circuits Conference (ISSCC). San Francisco, CA, USA, IEEE, 2015; 1-3.
- [15] ZHANG P, ZHANG C, ZHANG J, et al. A 25-28 Gb/s PLL-Based Full-Rate Reference-less CDR in 0.13 μ m SiGeBiCMOS[C]//IEEE International Conference on Integrated Circuits and Microsystems (ICICM). Nanjing, China; IEEE, 2017;186-190.
- [16] SUN Y, WANG H. Analysis of Digital Bang-Bang Clock and Data Recovery for Multi-Gigabit/s Serial Transceivers[C]//IEEE Custom Integrated Circuits Conference. San Jose, CA, USA; IEEE, 2009; 343-346.
- [17] STONICK J T. DPLL Based Clock and Data Recovery [C]//IEEE International Solid-State Circuits Conference. San Francisco, CA, USA; IEEE, 2011; 510-511.
- [18] RAMEZANI M, ANDRE C, SALAMA T. Jitter Analysis of a PLL-based CDR with a Bang-Bang Phase Detector[C]//The 2002 45th Midwest Symposium on Circuits and Systems. Tulsa, OK, USA; IEEE, 2002;3-4.
- [19] LEE J. Analysis and Modeling of Bang-Bang Clock and Data Recovery Circuits [J]. *IEEE Journal of Solid-State Circuits*, 2004, 39(9):1571-1580.
- [20] 武宇轩,吕方旭,吴苗苗. 一种快速锁定低抖动的时钟数据恢复电路[J]. *空军工程大学学报(自然科学版)*, 2020,21(4):68-73.

(编辑:徐楠楠)