

基于高速 SerDes 中非等值尾电流源技术的 新型高线性度相位插值器设计

郭凯乐, 王和明, 刘 涛, 陆德超

(空军工程大学防空反导学院, 西安, 710051)

摘要 为解决高速串行接口(SerDes)中时钟数据恢复电路(CDR)的恢复时钟抖动较大的问题,设计了一种基于非等值尾电流源技术的新型高速高线性度相位插值器。该技术在分析相位插值器输入控制码和输出时钟相位产生非线性机理的基础上,通过计算晶体管电路中插值器输出时钟相位与尾电流源权重的反函数关系,精确设计了相位插值器中尾电流源阵列参数,实现了高速率下相位插值器的高线性度关系,有效提高了 CDR 恢复时钟抖动性能。通过设计一款基于 CMOS 65 nm 工艺的 22 Gb/s SerDes 接收机对该技术进行了验证。电路后端仿真结果表明:相较于传统结构,该相位插值器线性度提高了 55.1%,CDR 恢复时钟的抖动性能提高了 22.5%。

关键词 时钟数据恢复电路;非等值电流源;相位差值器;线性度

DOI 10.3969/j.issn.1009-3516.2020.04.010

中图分类号 TN432 **文献标志码** A **文章编号** 1009-3516(2020)04-0061-07

A Non-Equivalent Tail Current Source Based New Phase Interpolator with High Linearity for High-Speed SerDes

GUO Kaile, WANG Heming, LIU Tao, LU Dechao

(Air and Missile Defense College, Air Force Engineering University, Xi'an 710051, China)

Abstract In view of solving the problems of large clock jitter in CDR circuit of SerDes, a new high-speed and high linearity phase interpolator is designed. On the basis of the nonlinear mechanism of the input control code and the output clock phase of the phase interpolator, and through calculating the inverse function relationship between the output clock phase and the weight of the tail current source, array parameters of the tail current source in the phase interpolator are designed accurately, realizing the high linearity relationship of the phase interpolator at high speed and effectively improving the CDR recovery Clock jitter performance. In this paper, the technology of a 22 Gb/s SerDes receiver based on CMOS 65nm process designed is verified. The simulation results show that the linearity of the phase interpolator and the jitter performance of CDR recovery clock are increased by 55.1% and 22.5% respectively.

Key words clock and data recovery circuit; non-equivalent current source; phase interpolator; linearity

收稿日期: 2020-04-26

基金项目: 国家重点研发计划(2018YFB2202300)

作者简介: 郭凯乐(1983—),男,山西运城人,硕士生,主要从事高速串行接口集成电路研究。E-mail:13834723180@163.com

引用格式: 郭凯乐, 王和明, 刘涛, 等. 基于高速 SerDes 中非等值尾电流源技术的新型高线性度相位插值器设计[J]. 空军工程大学学报(自然科学版), 2020, 21(4): 61-67. GUO Kaile, WANG Heming, LIU Tao, et al. A Non-Equivalent Tail Current Source Based New Phase Interpolator with High Linearity for High-Speed SerDes[J]. Journal of Air Force Engineering University (Natural Science Edition), 2020, 21(4): 61-67.

高速串行接口(Serializer and Deserializer, SerDes)作为芯片间、背板间、机柜间和系统间的高速数据传输核心模块,其性能已经成为制约现代电子信息发展的关键因素^[1-2]。时钟数据恢复电路(Clock and Data Recovery, CDR)作为高速串行接口中接收端同步数据的核心模块,其恢复时钟的抖动性能直接影响 SerDes 的误码率^[3-4]。相比于模拟锁相环型 CDR,相位插值器(Phase Interpolator, PI)型 CDR 采用数字滤波器和数字码实现时钟相位控制,在芯片面积、功耗和工艺易移植方面有非常大的优势,因此得到广泛应用^[5-7]。然而 PI 型 CDR 最大的挑战是 PI 输入控制码和输出相位关系的线性度,它的性能会直接影响 CDR 的恢复时钟的抖动性能,进而影响误码率^[8-9]。文献[10]采用了传统等值尾电流源阵列的相位插值器,其数学模型上固有的非线性因素导致相位插值器调节精度较低,恢复时钟的抖动较大。为了解决该线性度问题,文献[11]采用 2 个对称的相位插值器,对其输出进行平均来提升输出相位的线性度,但双相位插值器结构增加了电路的功耗、面积以及设计的复杂度。文献[12]采用 8 个相位间隔为 45°的时钟,经 4 个相位选择器后输入 2 个相同的相位插值器,不仅结构复杂,且时钟信号时序紧张,不适用于高速 CDR。

本文设计了一种新型非等值电流源的相位插值器,在研究传统相位插值器非线性产生机理的基础上,根据相位插值器输出时钟相位与尾电流源权重的反函数关系,计算出尾电流源阵列中每个电流源的

精确设计比例,有效提高了控制信号与输出时钟相位的线性度。该技术克服了传统等值电流源相位插值器理论上固有的非线性因素,采用一个相位插值器,避免了双插值器设计的高功耗结构,采用 2 对正交的差分信号,最大程度上缓解了时序紧张问题,是一种非常适合高速 CDR 的高线性度相位插值器。

1 非等值电流源相位插值型 CDR 接收机系统架构

图 1 给出了本文设计的 PI 型 CDR 接收机系统架构。该 CDR 接收机采用 1/4 速率架构,主要包括相位插值器、采样器和相位追踪控制电路。为了降低系统功耗,CDR 的高频部分采用 CML 电路设计,相位追踪控制电路采用标准的 CMOS 数字电路实现。该 CDR 的工作过程如下:本地时钟经 1/2 分频器后输出 I、Q 2 路正交的差分信号 IP、IN 和 QP、QN,经相位插值器插值后生成 IP*、IN* 和 QP*、QN*,产生八相采样时钟,8 个时域交织采样器利用这八相 1/4 速率时钟,对输入的高速数据进行采样,得到 4 路数据信息流和 4 路沿信息流。受到数字电路运行速度的限制,将这 8 路信息流经分接器降速,得到 32 路对齐的信息流^[13]。通过鉴相,得到 16 个超前/滞后/保持信号,送入滤波器。将滤波器输出的高 7 位通过编码器产生相位控制码,经相位插值器对应调整八相时钟的采样位置,使得数据采样沿位于数据位的中间,保证最佳采样^[14]。

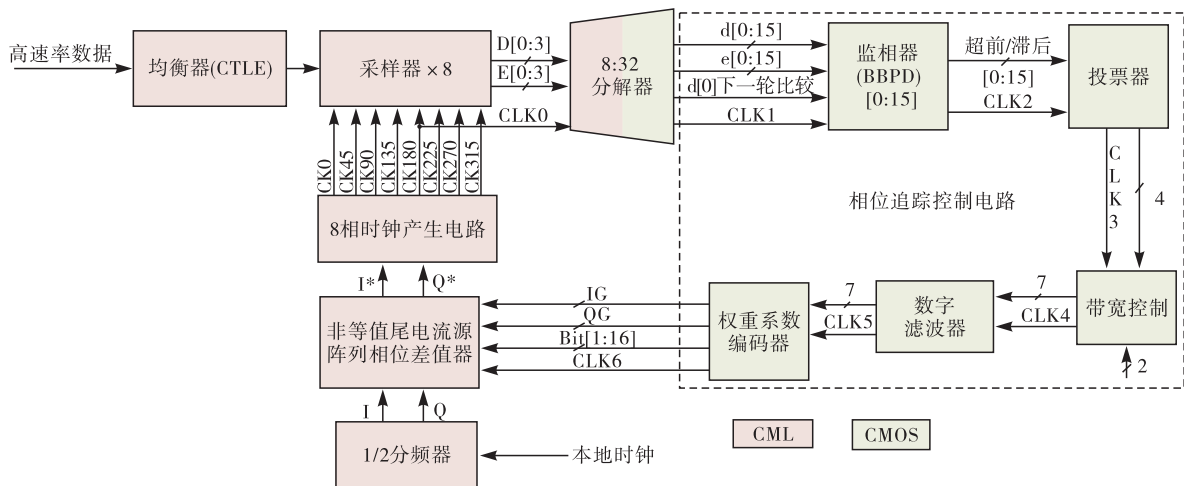


图 1 PI 型 CDR 接收机系统架构

2 相位插值器的理论分析

2.1 相位插值器的原理

相位插值器是 PI 型 CDR 中的关键模块,其输

入控制码和输出时钟相位关系的线性度会直接影响 CDR 的动态特征,当输入数据与本地时钟存在频率差时,会影响它的时钟抖动^[15-18]。因此,高线性度的相位插值器的设计是高性能 PI 型 CDR 的关键因素之一。

相位插值器最重要的特征是单调、线性的传输特性。从理论上讲,相位插值器的输出相位应与输入控制码呈一次线性函数关系:

$$\varphi_{\text{out}} = k_{\text{PI}} n \quad (0 \leq n \leq N, 0 \leq \varphi_{\text{out}} \leq 2\pi) \quad (1)$$

式中: k_{PI} 为相位插值器的增益; n 为控制码。式(1)表明,当 n 从0增加到 N ,输出相位从0增加到 2π ,若 k_{PI} 保持不变,则 φ_{out} 与 n 的关系曲线就是单调线性的。

由于2个非线性相关的向量可以张成整个平面,因此2个非线性相关的输入时钟信号 c_1 和 c_2 合成时钟的相位就可遍历0到 2π 。设 $c_1 = \sin(\omega t)$, $c_2 = \sin(\omega t + \varphi_d)$,其中 ω 是输入时钟的角频率, φ_d 是输入时钟的相位差, c_1 的相位为0。 c_1 和 c_2 的权重系数分别为 A_1 和 A_2 。相位插值器通过输入时钟在不同权重下的线性组合来输出不同相位的时钟,从而实现相位插值的功能^[7]。相位插值器的输出信号可以表示为:

$$V_{\text{out}} = A_1 \sin(\omega t) + A_2 \sin(\omega t + \varphi_d) \quad (2)$$

将0到 2π 分为4个象限,每个象限关系等价,因此选择第一象限进行分析, A_1, A_2 满足: $A_1 + A_2 = 1, 0 < (A_1, A_2) < 1$ ^[15]。令 $a = A_1 + A_2 \cos \varphi_d$, $b = A_2 \sin \varphi_d$,则式(2)可改为:

$$V_{\text{out}} = \sqrt{a^2 + b^2} \sin(\omega t + \varphi_{\text{out}}) \quad (3)$$

由式(3)可知输出的相位和幅度是由 A_1, A_2 和 φ_d 决定的。其中:

$$\sqrt{a^2 + b^2} = \sqrt{A_1^2 + 2A_1A_2 \cos \varphi_d + A_2^2} \quad (4)$$

$$\varphi_{\text{out}} = \arctan \left(\frac{A_2 \sin \varphi_d}{A_1 + A_2 \cos \varphi_d} \right) \quad (5)$$

文献[19~22]表明, 90° 相位差可以实现PI复杂度和线性度的折中,因此取 φ_d 为 $\pi/2$,则式(4)和式(5)可以改写为:

$$\sqrt{a^2 + b^2} = \sqrt{A_1^2 + A_2^2} \quad (6)$$

$$\varphi_{\text{out}} = \arctan \left(\frac{A_2}{A_1} \right) \quad (7)$$

由式(7)可知,PI输出时钟的相位是 A_1, A_2 的反三角函数。

2.2 传统等值电流源型相位插值器

图2为传统等值电流源型相位插值器结构,输入晶体管 M_1, M_2, M_3, M_4 的尺寸均相同,负载 R_1, R_2 相等,且等于 R ,输入信号为2对正交的差分信号 $V_{\text{IP}}, V_{\text{QP}}, V_{\text{IN}}, V_{\text{QN}}$,其相位分别为 $0^\circ, 90^\circ, 180^\circ, 270^\circ$ 。相位插值器对这2对时钟进行相位插值,可得到相位介于二者之间的恢复时钟^[16]。通过改变这2个差动对的尾电流可以调整恢复时钟的相位^[17]。

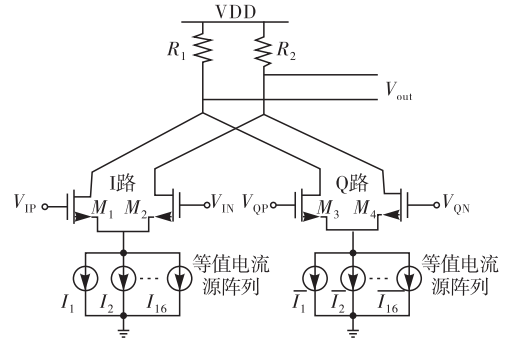


图2 传统等值电流源型相位插值器结构

由图2可得输出电压:

$$V_{\text{out}} = A_{vI} V_{\text{IP}} + A_{vQ} V_{\text{QP}} \quad (8)$$

由半边电路法可求得:

$$A_{vI} = g_{mI} R_1 = \sqrt{2\mu_n C_{\text{OX}} \left(\frac{W}{L} \right)_I I_1 R} \quad (9)$$

$$A_{vQ} = g_{mQ} R_2 = \sqrt{2\mu_n C_{\text{OX}} \left(\frac{W}{L} \right)_Q I_Q R} \quad (10)$$

联立式(7)(9)(10)可得:

$$\varphi_{\text{out}} = \arctan \frac{A_{vQ}}{A_{vI}} =$$

$$\arctan \frac{\sqrt{2\mu_n C_{\text{OX}} \left(\frac{W}{L} \right)_Q I_Q R}}{\sqrt{2\mu_n C_{\text{OX}} \left(\frac{W}{L} \right)_I I_1 R}} = \arctan \frac{\sqrt{\left(\frac{W}{L} \right)_Q I_Q}}{\sqrt{\left(\frac{W}{L} \right)_I I_1}} \quad (11)$$

式中相关参数符号定义见文献[17]。

输出相位如图3所示。

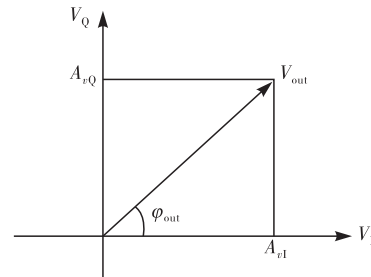


图3 输出向量示意图

由式(11)可知, φ_{out} 大小仅由Q通路与I通路晶体管宽长比与电流之积平方根的比值决定,这样输出相位基本不随温度的变化而变化。这种结构的尾电流由16个等值电流源阵列组成,通过控制各支路尾电流的比例来改变输出信号的相位,每个电流源的电流大小为:

$$I_D = \frac{1}{2} \mu_n C_{\text{OX}} \frac{W}{L} (V_{\text{GS}} - V_{\text{TH}})^2 (1 + \lambda V_{\text{DS}}) \quad (12)$$

电流源采用长沟道器件,因此式(12)中由沟道调制效应引起的 λV_{DS} 部分可忽略。因为电流源的源极直接接地,因此由源极和基底之间的电压 V_{sb} 产生的体效应对 V_{TH} 的影响也可忽略,而 V_{GS} 由 V_{bias} 统一提供,因此式(12)中的 $(V_{\text{GS}} - V_{\text{TH}})^2$ 部分相同。

根据上述分析可得:

$$I_D = K \left(\frac{W}{L} \right) \quad (13)$$

式中: $K = \frac{1}{2} \mu_n C_{OX} (V_{GS} - V_{TH})^2$ 。

把式(13)带入式(11)可得:

$$\varphi_{out} = \arctan \frac{\sqrt{K \left(\frac{W}{L} \right)_Q^2}}{\sqrt{K \left(\frac{W}{L} \right)_I^2}} = \arctan \frac{\left(\frac{W}{L} \right)_Q}{\left(\frac{W}{L} \right)_I} \quad (14)$$

式中相关符号定义见文献[10]。

对于上述的等值电流源阵列型 PI, Q 路尾电流源权重系数 A_{vQ} 与 PI 温度控制码 n 成线性关系 ($A_{vQ} = n/16$)。由式(14)可得传统等值电流源阵列型 PI、理想 PI 温度控制码 n 与输出相位 φ_{out} 之间的关系见图 4。

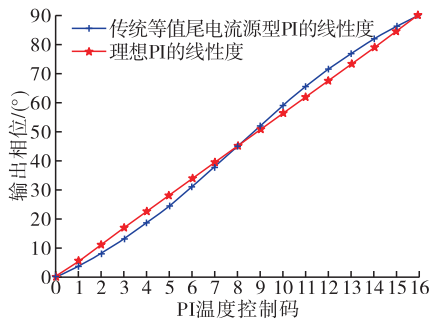


图 4 PI 线性度的 MATLAB 仿真结果

由于 4 个象限的结果一致^[6-7], 因此这里只给出了第一象限中传统等值电流源阵列型 PI 和理想 PI 的 n 与 φ_{out} 之间的 MATLAB 仿真曲线。从数值仿真结果可知, 等值电流源结构 PI 的线性度与理想 PI 线性度仍然有较大程度的偏离, 而非线性问题会恶化 CDR 恢复时钟抖动性能, 当时钟速率提高后甚至会造成严重的误码, 因此要对等值电流源 PI 进行线性度改进, 使曲线趋近于理想直线。

3 基于非等值电流源阵列的高线性度相位插值器设计

3.1 非等值电流源补偿算法

根据上述分析, 对插值器的线性化改进的目的是使 PI 温度控制码 n 与输出信号相位 φ_{out} 呈线性控制关系, n 通过改变插值器的尾电流源的权重来调节相位。若将 n 与 A_{vQ} 的函数关系用 $A_{vQ} = g(n)$ 表示, φ_{out} 与 A_{vQ} 的函数关系用 $\varphi_{out} = f(A_{vQ})$ 表示, 则 φ_{out} 与 n 的函数关系为:

$$\varphi_{out} = f[g(n)] \quad (15)$$

因此我们的目标是找出式(15)中使 φ_{out} 与 n 呈线性

函数的 $A_{vQ} = g(n)$, 并通过电路实现。因为 n, A_{vQ}, φ_{out} 都是离散量, 所以只要通过 $\varphi_{out} = f(A_{vQ})$ 的反函数 $A_{vQ} = f^{-1}[\varphi_{out}]$ 计算出 0° 到 90° 内均匀变化的 16 个 φ_{out} 值所对应的 A_{vQ} 值, 就可以反推出所需的非线性函数 $A_{vQ} = g(n)$ ^[12]。具体实现时, 保持总的尾电流源值不变, 按照所得的 $A_{vQ} = g(n)$ 确定出 16 个电流源的具体值, 便可确定电流源晶体管的尺寸。

由于 Q 路占总电流的比重系数为 A_{vQ} , I 路占总电流的比重为 $A_{vI} = 1 - A_{vQ}$, 则式(14)改写为:

$$\varphi_{out} = \arctan \frac{A_{vQ}}{1 - A_{vQ}} \quad (16)$$

其反函数为:

$$A_{vQ} = \frac{\tan \varphi_{out}}{1 + \tan \varphi_{out}} \quad (17)$$

把 φ_{out} 从 0° 到 90° 分成 16 等分, 让 φ_{out} 与 PI 温度控制码成线性关系, 可求得每个 PI 温度控制码对应的权重系数 A_{vQ} , 如图 5 所示。

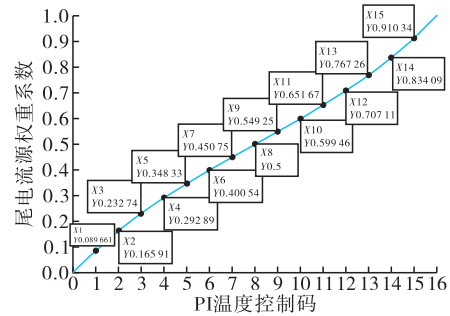


图 5 PI 温度控制码 n 与 Q 路尾电流源权重系数 A_{vQ} 函数关系

3.2 非等值电流源阵列型高线性度 PI 电路设计

当 $\varphi_d = 90^\circ$, $N = 16$ 时, 传统等值电流源结构中, 每个电流源电流的大小占总电流的比例相等, 均为 6.25%, 按照本文的算法, 在保持总的尾电流值不变的情况下, 根据图 5 计算出的权重系数, 可得到每个电流源电流占总电流的比例关系以及晶体管的宽度尺寸见表 1。

如图 6 所示, 本文设计的非等值电流源阵列型相位插值器由 4 个差分对组成。

R_1, R_2 为负载电阻且阻值相等, 每个差分对管下面是由 16 个开关控制的非等值并联电流源, 电流源尺寸参数按照表 1 设计。通过信号 IG、QG、BIT 1~16 控制电流源打开或关闭来确定相位插值后输出时钟的象限和相位。若将 IP 支路视为 X 轴的正半轴, 则 QP 支路可视为 Y 轴的正半轴。同一时刻 IP 支路和 IN 支路、QP 支路和 QN 支路均只有一个支路工作, 选择不同的支路, 就可以输出不同象限的相位, 比如 IN 支路和 QN 支路工作, 则相位插值器工作在第三象限, 然后通过改变 IP 支路和 QP 支路

的开关状态,就可以改变输出相位大小。在相位插值器工作过程中,同时只能有 16 个开关打开,这样

就可保障相位插值器的总电流在任何状态都不会发生变化。

表 1 电流源晶体管宽度取值

晶体管序号	1	2	3	4	5	6	7	8
序号对应电流的总权重	0.090 0	0.165 9	0.232 7	0.292 9	0.348 3	0.400 5	0.450 8	0.500 0
晶体管占总电流比例	0.090 0	0.076 3	0.066 8	0.060 2	0.055 4	0.052 2	0.050 2	0.049 0
宽度尺寸理论值/ μm	1.721 0	1.464 0	1.283 1	1.154 9	1.064 4	1.002 7	0.964 0	0.946 0
宽度尺寸实际取值/ μm	1.72	1.46	1.28	1.15	1.06	1.00	0.96	0.94
晶体管序号	9	10	11	12	13	14	15	16
序号对应电流的总权重	0.549 0	0.599 5	0.651 7	0.707 1	0.767 3	0.834 1	0.914 0	1.000 0
晶体管占总电流比例	0.049 0	0.050 2	0.052 2	0.055 4	0.060 2	0.066 8	0.076 3	0.090 0
宽度尺寸理论值/ μm	0.946 0	0.964 0	1.002 4	1.064 4	1.154 9	1.283 1	1.464 0	1.721 0
宽度尺寸实际取值/ μm	0.94	0.96	1.00	1.06	1.15	1.28	1.46	1.72

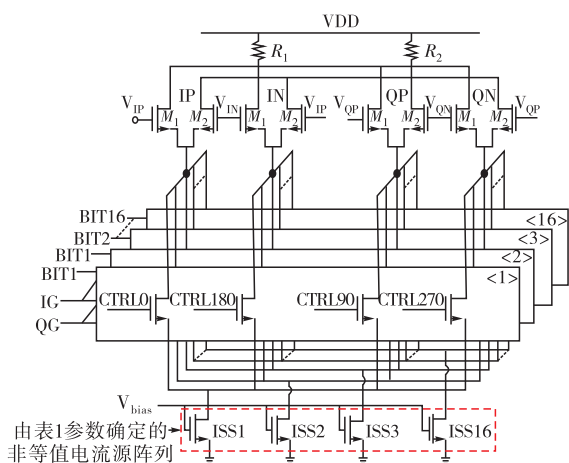


图 6 本文非等值电流源阵列型 PI 电路结构

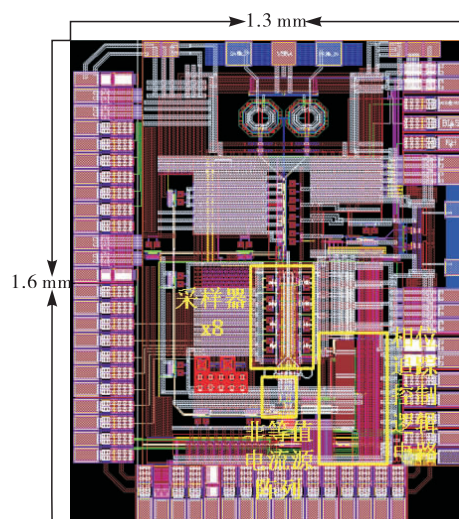


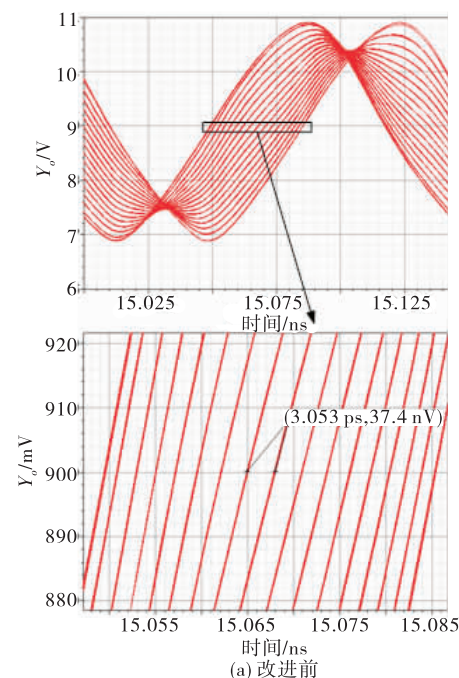
图 7 本文设计的接收机电路结构

4 后端仿真结果

本文采用 CMOS 65 nm 工艺进行了整体电路设计,工作电压 1.2 V,CDR 芯片面积 $1.6 \times 1.3 \text{ mm}^2$,结构图见图 7。

为了对比改进前后效果,在本地时钟为 5.5 GHz 时对电路进行仿真。图 8(a)给出了采用传统等值电流源阵列相位插值器输出信号的眼图,图中每条曲线对应相位控制码的输出结果。输出信号过直流点的时间间隔反映其相位调整的步长。由图 8(a)可知,改进前输出信号过直流点最大时间间隔为 4.709 ps,与理想特性的误差为 $(4.709 - 2.84) / 2.84 = 65.8\%$ 。

本文采用的非等值电流源阵列相位插值器仿真结果见图 8(b)。改进后输出信号过直流点最大时间间隔为 3.144 ps,与理想特性的误差为 $(3.144 - 2.84) / 2.84 = 10.7\%$,线性度提高了 55.1%。



(a)改进前

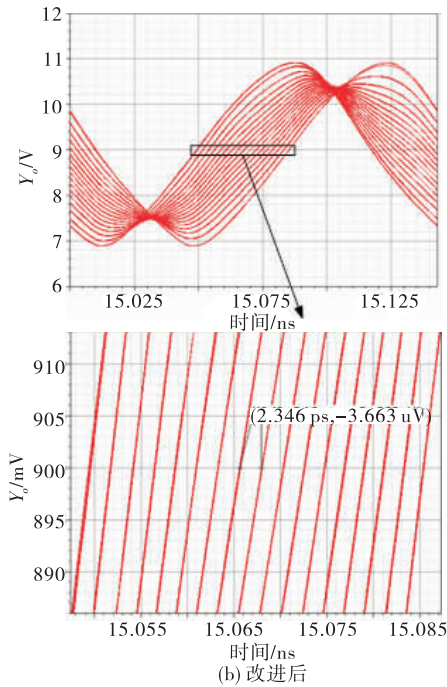


图 8 改进前后 PI 输出时钟眼图对比

图 9 给出了改进前后 PI 的线性度曲线拟合对比。

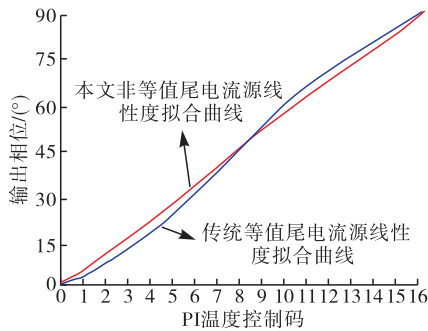
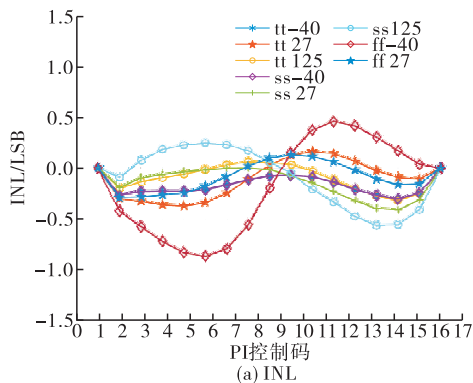
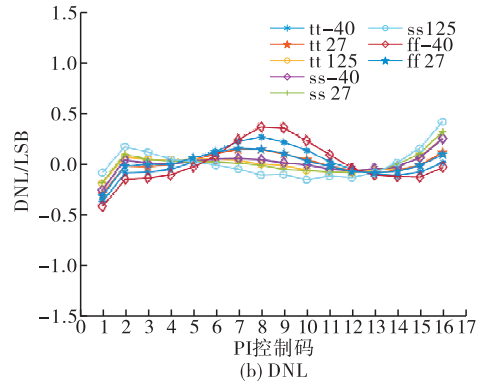


图 9 PI 线性度的电路后仿结果

输出线性度决定相位插值器引入的额外抖动,是相位插值器的重要技术指标,主要通过微分非线性(Differential Non-Linearity, DNL)和积分非线性(Integral Non-Linearity, INL)来衡量。图 10 为 PI 在不同工艺角下 INL 和 DNL 与控制码的后仿曲线。由图可知,本文设计 PI 的 DNL 绝对值最大不超过 0.42 LSB, INL 绝对值最大不超过 0.87 LSB。而传统 PI 的 INL 理论最大值为 1.69 LSB^[10],因此,相比于传统结构的 PI,本文设计 PI 的线性度有了大幅提高。



(a) INL



(b) DNL

图 10 不同工艺角下 PI 的 INL 和 DNL

本文相位插值器的参数在表 2 中进行了汇总,并与相关参考文献进行对比。

表 2 相位插值器的性能对比

相位插值器来源	工艺特征尺寸/nm	$\varphi_d/(^\circ)$	单象限控制位数 N	最大 INL 误差/LSB
文献[19]	40	45	32	1.50
文献[20]	65	45	32	1.50
本文	65	90	16	0.87

从表 2 中可以看出,采用本文设计的非等值电流源后,相位插值器的线性度得到了很大的提升。

考虑到版图和制程中器件的匹配度,对改进后的相位插值器进行了蒙特卡洛仿真,对尾电流管的宽度、长度、栅氧层厚度和阈值电压的失配度呈平均值为 0、标准差为 1 的高斯分布时进行 100 次仿真,结果见图 11。从图可以看出,相位插值器的控制码和输出相位能够保持很好的线性度,消除器件不匹配的影响。

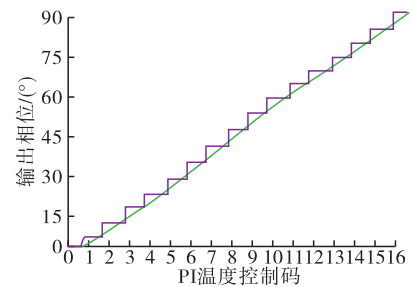


图 11 插值器线性度的蒙特卡洛仿真结果

为了进一步验证该技术,本文对 22 Gb/s 的接收机进行了最大频差的对比仿真验证。根据 CEI 标准,收发机的最大频差容限小于 200 ppm,因此设定接收数据速率为 22.004 4 Gb/s(与 22 Gb/s 数据频差为 +200 ppm),本地时钟速率为 5.5 GHz,仿真结果见图 12,从图中可以看出,改进前时钟的抖动为 8.9 ps,改进后时钟抖动为 6.9 ps,恢复时钟的抖动性能提高了 22.5%。

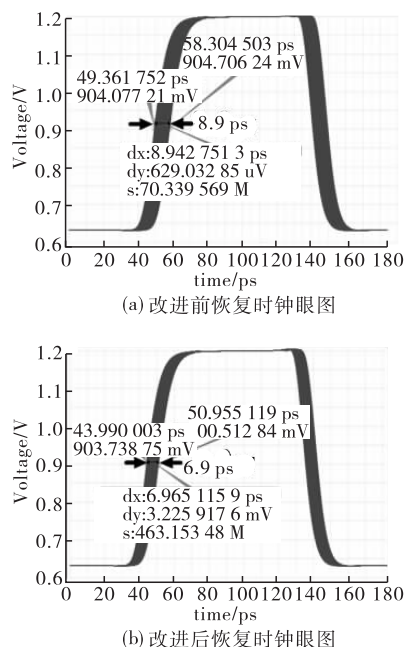


图 12 改进前后 PI 控制码及恢复时钟抖动对比

5 结语

本文设计了一种基于非等值电流源阵列技术的高线性度相位插值器。该技术在分析相位插值器输入控制码和输出相位插值器产生非线性机理的基础上,通过计算相位插值器输出时钟相位与尾电流源权重的反函数关系,精确设计了相位插值器中尾电流源阵列参数,实现了高速率下相位插值器的高线性度关系,有效提高了相位插值器的线性度。采用 65 nm CMOS 工艺设计了一款基于本文线性相位插值器的 22 Gb/s SerDes 接收机。仿真结果表明:传统等值电流源结构相位插值器的最大相位误差为 65.8%,本文设计的线性相位插值器的最大相位误差仅为 10.7%,线性度提高了 55.1%;CDR 恢复出的时钟抖动从 8.9 ps 降低到 6.9 ps,抖动性能提高了 22.5%。

参考文献

- [1] 湛伟. 高速 SerDes 技术的发展趋势和挑战[J]. 电子产品世界, 2019, 26(9): 48-53.
- [2] 辛可为, 吕方旭, 王建业, 等. 适用于 4 通道 100 Gbps SerDes 的两级架构正交 12.5 GHz 低功耗低抖动时钟发生器[J]. 空军工程大学学报(自然科学版), 2019, 20(5): 64-69.
- [3] 黄森. 高效低抖动时钟数据恢复电路的关键技术研究与设计[D]. 合肥: 中国科学技术大学, 2018.
- [4] 郭俊. 高速 SerDes 系统的时钟恢复电路设计研究[D]. 杭州: 浙江大学, 2017.
- [5] HSHIEH M, SOBELMAN G E. Architecture for Multi-Gigabit Wire-Linked Clock and Data Recovery[J]. IEEE

- Circuits and Systems Magazine, 2008, 8(4): 45-57.
- [6] HSHIEH M, SOBELMAN G E. Architectures for Multi-Gigabit Wire-Linked Clock and Data Recovery[J]. IEEE Circuits and Systems Magazine, 2008, 8(4): 45-57.
- [7] KREIENKAMP R, LANGMANN U, ZIMMERMANN C, et al. A 10-Gb/s CMOS Clock and Data Recovery Circuit with an Analog Phase Interpolator[J]. IEEE Journal of Solid-State Circuits, 2005, 40: 736-740.
- [8] VERBEKE M, ROMBOUTS P, VYNCKY A, et al. Influence of Jitter on Limit Cycles in Bang-Bang Clock and Data Recovery Circuits[J]. In IEEE Transactions on Circuits and Systems I: Regular Papers, 2015, 65(6): 1463-1471.
- [9] SUN Y H, JIANG L X. Analysis and Design of a Phase Interpolator for Clock and Data Recovery[J]. Chinese Journal of Semiconductors, 2008, 29(5): 930-935.
- [10] 牛晓良. 适用于串行接口的时钟数据恢复电路的设计[D]. 北京: 北京理工大学, 2016.
- [11] WEI L F, JI J Y, LIU H Q, et al. A Multirate SerDes transceiver for IEEE 1394b Applications[C] // Proceedings of the 2012 IEEE Asia Pacific Conference on Circuits and Systems. Piscataway, NJ, USA: IEEE, 2012: 316-319.
- [12] 张瑶, 张鸿, 李梁, 等. 时钟数据恢复电路中的线性相位插值器[J]. 西安交通大学学报, 2016, 50(2): 48-54.
- [13] HE M Y, POULTON J. A CMOS Mixed-Signal Clock and Data Recovery Circuit for OIF CEI-6G+ Backplane Transceiver[J]. IEEE Journal of Solid-State Circuits, 2006, 41(3): 597-606.
- [14] SOH L, WONG W, LEE S. Programmable Low-Dithering-Jitter Interpolator-Based CDR[C] // 2011 International Symposium on Integrated Circuits. Singapore, [s. n.], 2011: 444-447.
- [15] 钟威. 高速 SerDes 中时钟数据恢复电路的设计研究[D]. 长沙: 国防科学技术大学, 2015.
- [16] 矫逸书, 周玉梅, 蒋见花, 等. 适用于连续数据速率 CDR 的相位插值器研制[J]. 半导体技术, 2010, 35(10): 999-1002.
- [17] 杨宗雄. 2.5 Gbps 时钟数据恢复电路的设计[D]. 成都: 电子科技大学, 2012.
- [18] YANG R J, CHAO K H. A 155.52 Mbit/s ~ 3.125 Gbit/s Continuous-Rate Clock and Data Recovery Circuit[J]. IEEE Journal of Solid-State Circuits, 2006, 41(6): 1380-1390.
- [19] 刘颖, 田泽, 吕俊盛, 等. 一种 1 GHz ~ 6 GHz 宽频高线性度相位插值电路的设计与实现[J]. 电子技术应用, 2020, 46(4): 45-48.
- [20] 吕俊盛, 邵刚, 田泽. 一种基于相位插值器的低抖动串行链路接收器[J]. 半导体技术, 2016, 41(6): 429-434.

(编辑: 徐敏)