

4H-SiC 基半超结 VDMOSFET 单粒子烧毁效应

刘忠永¹, 蔡理¹✉, 刘保军², 刘小强¹, 崔焕卿¹, 杨晓阔¹

(1. 空军工程大学基础部, 西安, 710051; 2. 空军工程大学航空机务士官学校, 河南信阳, 464000)

摘要 4H-SiC 半超结垂直双扩散金属氧化物半导体场效应管(VDMOSFET)由于 N 型底部辅助层(N_{BAL})的引入,可以采用相对较小深宽比的超结结构,从而降低了制造工艺的成本与难度。利用器件仿真器 Atlas 建立了器件的二维仿真结构,对 4H-SiC 超结和半超结 VDMOSFET 的单粒子烧毁(SEB)效应进行了对比,随后研究了 N_{BAL} 浓度变化对 4H-SiC 半超结 VDMOSFET 抗 SEB 能力的影响。结果表明,在相同漏电压下, N_{BAL} 导致半超结 VDMOSFET 在 N^- 漂移区/ N^+ 衬底结处的电场峰值比超结 VDMOSFET 的电场峰值降低了 27%。超结 VDMOSFET 的 SEB 阈值电压(V_{SEB})为 920 V,半超结 VDMOSFET 的 V_{SEB} 为 1 010 V,半超结 VDMOSFET 的抗 SEB 能力提升了 10%。随着 N_{BAL} 浓度的逐渐增加,半超结 VDMOSFET 的抗 SEB 能力先增强后减弱,存在一个最优的 N_{BAL} 浓度使其抗 SEB 能力最好。

关键词 4H-SiC;垂直双扩散 MOSFET;半超结;单粒子烧毁

DOI 10.3969/j.issn.1009-3516.2018.03.017

中图分类号 TN432;TN406 **文献标志码** A **文章编号** 1009-3516(2018)03-0095-06

Single Event Burnout of 4H-SiC Semi-Super-Junction VDMOSFET

LIU Zhongyong¹, CAI Li¹✉, LIU Baojun², LIU Xiaoqiang¹, CUI Huanqing¹, YANG Xiaokuo¹

(1. Department of Basic Sciences, Air Force Engineering University, Xi'an 710051, China;

2. Aviation Maintenance NCO Academy, Air Force Engineering University, Xinyang 464000, Henan, China)

Abstract: Due to the introduction of N Bottom Assist Layer (N_{BAL}), the super-junction structure of relatively small aspect ratio could be used in 4H-SiC semi-super-junction vertical double-diffused metal oxide semiconductor field effect transistor (VDMOSFET), so that the cost and difficulty of manufacturing process could be reduced. In this paper, a two-dimensional simulation structure of the device is established based on the device simulator Atlas. The single event burnout (SEB) effect of 4H-SiC semi-super-junction VDMOSFET and 4H-SiC super-junction VDMOSFET are comparatively studied, then the influence of N_{BAL} doping concentration on the anti-SEB ability of 4H-SiC semi-super-junction VDMOSFET is studied. The results show that, under condition of the same drain voltage, the peak value of the electric field in the N^- drift/ N^+ substrate junction of semi-super-junction VDMOSFET is 27% lower than the counterpart of the super-junction VDMOSFET owing to the N_{BAL} . The SEB threshold voltage (V_{SEB}) of super-junction VDMOSFET is 920 V, while the counterpart of semi-super-junction VDMOSFET is 1 010 V, so that the anti-SEB capability of semi-super-junction VDMOSFET increases by 10% when compared with super-junction VDMOSFET.

收稿日期: 2017-08-27

基金项目: 国家自然科学基金(11405270)

作者简介: 刘忠永(1993—),男,湖南娄底人,硕士生,主要从事纳米器件在单粒子效应下的可靠性研究. E-mail:18292179291@163.com

通信作者: 蔡理(1959—),女,福建永春人,教授,博士生导师,主要从事微纳电子器件与电路理论及应用、现代电路与系统等方面的研究. E-mail:qianglicai@163.com

引用格式: 刘忠永,蔡理,刘保军,等. 4H-SiC 基半超结 VDMOSFET 单粒子烧毁效应 [J]. 空军工程大学学报(自然科学版), 2018, 19(3): 95-100. LIU Zhongyong, CAI Li, LIU Baojun, et al. Single Event Burnout of 4H-SiC Semi-Super-Junction VDMOSFET [J]. Journal of Air Force Engineering University (Natural Science Edition), 2018, 19(3): 95-100.

With the gradual increasing of N_{BAL} doping concentration, the anti-SEB ability of VDMOSFET is firstly enhanced and then weakened, i. e., there is an optimal doping concentration of N_{BAL} to make the ability of the anti-SEB the strongest.

Key words: 4H-SiC; VDMOSFET; semi-super-junction; single event burnout (SEB)

碳化硅(SiC)以宽禁带、高击穿电场、高载流子饱和漂移速度以及优越的热导性成为制造高温、高频、大功率和抗辐射功率 MOSFET 的首选材料^[1]。垂直双扩散 MOSFET(Vertical Double-diffused MOSFET, VDMOSFET)因其开关速度快、击穿电压高、频率特性好而广泛应用于航天器的电力供应系统中(如:DC-DC 转换器)。高能粒子入射 VDMOSFET 产生瞬态电流,使器件内部的寄生晶体管导通而发生单粒子烧毁效应(Single Event Burnout, SEB)将导致器件的永久失效^[2-3]。Zhang 对 SiC VDMOSFET 的 SEB 失效机理进行了研究^[4],结果表明 SiC 材料比 Si 材料在抗 SEB 方面有更大的优势。

随着 SiC VDMOSFET 耐压级别的不断提高,需要更厚的漂移区来承受击穿电压,这就导致器件的导通电阻急剧增加,导通电阻与击穿电压的 2.43 次方成正比,称之为 SiC 的理论极限^[5],超结和半超结的应用打破了这种限制^[6]。1993 年陈星弼教授提出在纵向功率器件中采用多个 p 柱区和 n 柱区结构作为漂移层,并称其为“复合缓冲层”^[7]。1997 年 Tatsuhiko 等人总结并提出了“超结理论”(Super-junction Theory)^[8]。2003 年 Saito 等人首次提出半超结 VDMOSFET^[9]。针对超结 VDMOSFET 的 SEB 效应,2000 年 Huang 等人通过仿真表明超结 VDMOSFET 的抗 SEB 和单粒子栅穿(Single Event Gate Rupture, SEGR)能力比传统 VDMOSFET 更强^[10]。2004 年 Ikeda 等人通过实验指出超结和标准 VDMOSFET 的抗 SEB 能力基本一致^[11]。2012 年 Zerarka 等人通过数值仿真研究了超结 VDMOSFET 的 SEB 失效机理及其敏感区域,结果表明仅在高压情况下超结比标准 VDMOSFET 有更好的抗 SEB 能力^[12],从而解释了前期仿真结果与实验结果存在差异的原因。然而,针对半超结 VDMOSFET 的 SEB 效应目前鲜有报道。本文利用 Silvaco TCAD 软件对 4H-SiC 基半超结 VDMOSFET 的 SEB 效应进行了研究。

1 物理模型

器件仿真器 Atlas 基于一系列的物理模型,通过求解泊松方程、连续性方程、输运方程来仿真器件的电学、光学和热学行为。Atlas 仿真结果的准确性与选取的物理模型密切相关,这些物理模型可以分为 5

类:迁移率模型、载流子产生-复合模型、载流子统计模型、碰撞电离模型和隧道模型^[13]。在不同的仿真应用中需要使用不同的模型组合,本文针对半超结 VDMOSFET 的 SEB 效应进行研究,仿真中除了迁移率在低场和高场情况下的不同表征外,还考虑了沟道表面反型层的迁移率退化情况,故使用 analytic 低场迁移率模型、fldmob 速场饱和迁移率模型和 cvt 迁移率模型;针对载流子产生-复合现象,使用 Shockely-Read-Hall 复合模型和 Auger 复合模型;另外载流子统计模型包括 Fermi-Dirac 统计模型和禁带变窄(bgn)模型;使用 Selb 模型来描述载流子的碰撞电离。仿真温度保持室温(300 K)不变,4H-SiC 物理模型参数的选取参照文献^[14],这里不再赘述。

Atlas 软件没有直接模拟粒子入射,而是通过一个与时间和空间有关的高斯函数来模拟粒子入射后电子-空穴对的产生速率,其函数表达式为^[13]:

$$G(r, t) = \frac{LCD}{q\pi R^2} \exp\left(-\frac{r}{R}\right) \frac{2e - \left(\frac{t - T_0}{T_c}\right)}{T_c \sqrt{\pi} \operatorname{erfc}\left(\frac{-T_0}{T_c}\right)} \quad (1)$$

式中: $G(r, t)$ 表示电子-空穴对的产生速率。在辐射研究中通常使用线性电荷沉积(Linear Charge Deposition, LCD)来描述电离粒子,单位是 $\text{pC}/\mu\text{m}$,在 Atlas 中用参数 PCUNITS 来定义。 r 表示某点到粒子束中心的距离。仿真中粒子束半径 R 取为 $0.05 \mu\text{m}$,LCD 值取 $0.1 \text{pC}/\mu\text{m}$,电荷生成脉冲峰值的时间 T_0 取为 $4 \times 10^{-12} \text{s}$,电荷生成脉冲的时间长度 T_c 取为 $1 \times 10^{-12} \text{s}$ 。

2 器件结构

半超结 VDMOSFET 是在超结结构的柱区与衬底之间增加一个 N 型底部辅助层(Bottom Assist Layer, BAL)发展而来,不仅具有超结优良的电学性能还降低了工艺难度与制造成本,其结构见图 1(a)。器件单元胞宽度为 $6 \mu\text{m}$,栅氧化层的厚度为 50nm ,沟道长度为 $1 \mu\text{m}$, N^+ 源区的掺杂浓度为 $5 \times 10^{18} \text{cm}^{-3}$;为防止 p 体区发生穿通击穿,其掺杂浓度取为 $1 \times 10^{18} \text{cm}^{-3}$,宽度为 $4 \mu\text{m}$ 。柱区掺杂浓度为 $1 \times 10^{16} \text{cm}^{-3}$,深宽比为 4:1;为保证器件击穿电压达到 2 400 V, N_{BAL} 掺杂浓度设为 $6 \times 10^{15} \text{cm}^{-3}$,厚度为 $3 \mu\text{m}$; N^+ 衬底的掺杂浓度为 $5 \times 10^{18} \text{cm}^{-3}$ 。作为对比研究,图 1(b)给出了超结 VDMOSFET 的结构图,柱区的掺杂

浓度为 $1 \times 10^{16} \text{ cm}^{-3}$, 与半超结 VDMOSFET 柱区浓度相同, 深宽比为 5:1, 其余结构参数均与半超结 VDMOSFET 保持一致。

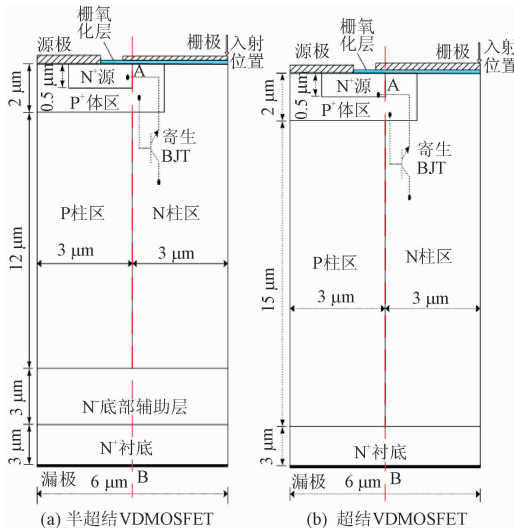


图 1 半超结和超结 VDMOSFET 结构图

Fig. 1 The structures of semi-superjunction and superjunction VDMOSFET

图 2(a) 给出了超结和半超结 VDMOSFET 的击穿特性, 可以看出两器件的击穿电压基本保持一致, 均达到了 2 400 V。图 2(b) 给出两器件的转移特性曲线, 可以看出两者的阈值电压相同, 均在 7 V 左右, 但是超结 VDMOSFET 的饱和漏极电流值要稍大于半超结 VDMOSFET, 这也说明超结 VDMOSFET 具有更高的电流密度。

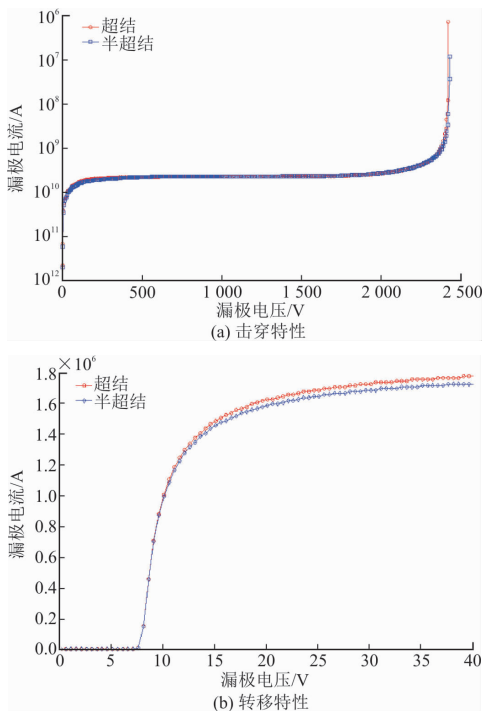


图 2 两器件的击穿特性和转移特性

Fig. 2 The breakdown characteristics and transfer characteristics of the two devices

3 仿真结果分析与讨论

当器件处于“OFF”(栅极电压为 0 V), 高能粒子入射后产生瞬态电流, 如果瞬态电流足够大, 将导致寄生晶体管导通, 从而大量电子从发射极注入到基极, 在电场作用下被加速发生雪崩电离产生更多的电子空穴对, 使得器件内部电流急剧增加, 导致器件永久性损坏, 发生了 SEB 效应^[15]。仿真中漏极电压以 10 V 为步长增加直到器件发生 SEB 效应, 取未发生 SEB 效应时的最大漏电压为 SEB 阈值电压 V_{SEB} 。粒子从器件的颈区入射(该区域为器件的 SEB 敏感区)^[12], 垂直穿过整个器件, 见图 1。所有的仿真条件均保持一致。

3.1 半超结 VDMOSFET 的 SEB 效应

图 3 给出了粒子入射后, 超结和半超结 VDMOSFET 在漏电压为 950 V 时漏极电流随时间的变化曲线。可以看出超结和半超结 VDMOSFET 的漏极电流变化趋势在 8 ns 之前基本保持一致, 在粒子入射 8 ns 后半超结 VDMOSFET 的漏极电流开始急剧下降至 0, 器件没有发生 SEB 效应; 而超结 VDMOSFET 的漏极电流最终维持在某一常数不变, 即器件发生 SEB 效应。

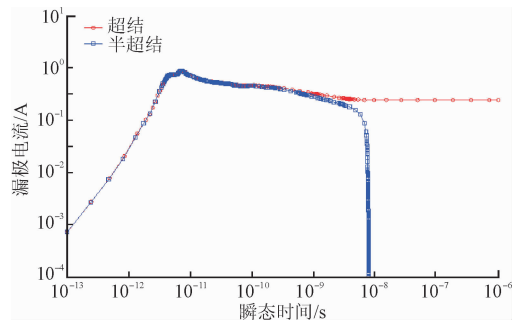


图 3 超结和半超结 VDMOSFET 漏极电流随时间变化的曲线

Fig. 3 The curves of drain current versus time for the superjunction and semi-superjunction VDMOSFET

为了说明出现这种差异的原因, 图 4 给出了两器件在漏电压为 950 V 时, 粒子入射 8 ns 后的空穴浓度分布图。器件内部的空穴浓度将直接决定是否会发生 SEB 效应, 可以看出此时的超结 VDMOSFET 发生 SEB, 因为此时器件内部的空穴浓度足够产生使寄生晶体管全部导通的瞬态电流; 而半超结 VDMOSFET 内部的空穴浓度却下降到了一个较低的水平, 不足以使寄生晶体管导通, 电流最终下降至 0, 没有发生 SEB。因此半超结 VDMOSFET 具有更好的抗 SEB 能力。

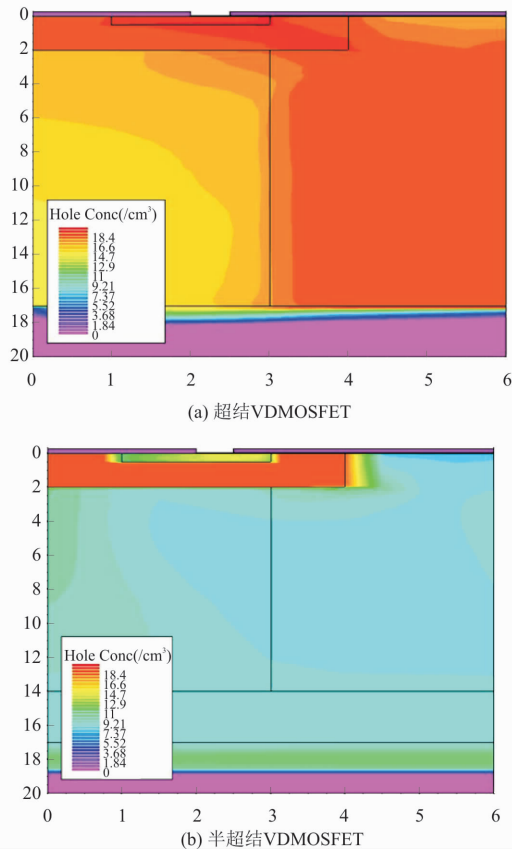


图4 超结和半超结 VDMOSFET 在粒子入射 8 ns 后的空穴浓度

Fig. 4 Hole concentrations of the superjunction and semi-superjunction VDMOSFET at $t=8$ ns after ion's strike

通过仿真得到,超结 VDMOSFET 的 SEB 阈值电压 V_{SEB} 为 920 V;半超结 VDMOSFET 的 V_{SEB} 为 1 010 V,比超结 VDMOSFET 的抗 SEB 能力提高了 10%。为了分析半超结 VDMOSFET 具有更好抗 SEB 能力的原因,图 5 给出了超结和半超结 VDMOSFET 在漏电压为 1 050 V(两者都发生 SEB 效应)时,两器件漂移区沿 AB 线(见图 1)的电场分布图。可以看出在初始时刻,超结 VDMOSFET 的电场为矩形分布,半超结 VDMOSFET 的电场为梯形分布。在 $t=1 \times 10^{-7}$ s 时,超结 VDMOSFET 的电场峰值出现在柱区/ N^+ 衬底结处,峰值为 2.73×10^6 V/cm。半超结 VDMOSFET 的电场峰值出现在 N_{BAL}/N^+ 衬底结处,峰值为 1.98×10^6 V/cm,而电场峰值的大小直接决定碰撞电离产生电子空穴对的速率^[16]。半超结 VDMOSFET 由于 N_{BAL} 的存在,使得在漂移区与 N^+ 衬底结处的电场分布变得更加均匀,电场峰值降低了 27%,导致碰撞电离的产生的电子空穴对减少,器件内部电流减小,从而需要更大的漏电压才能使寄生晶体管导通,因此半超结 VDMOSFET 的 V_{SEB} 要大于超结 VDMOS-

FET,具有更好的抗 SEB 能力。

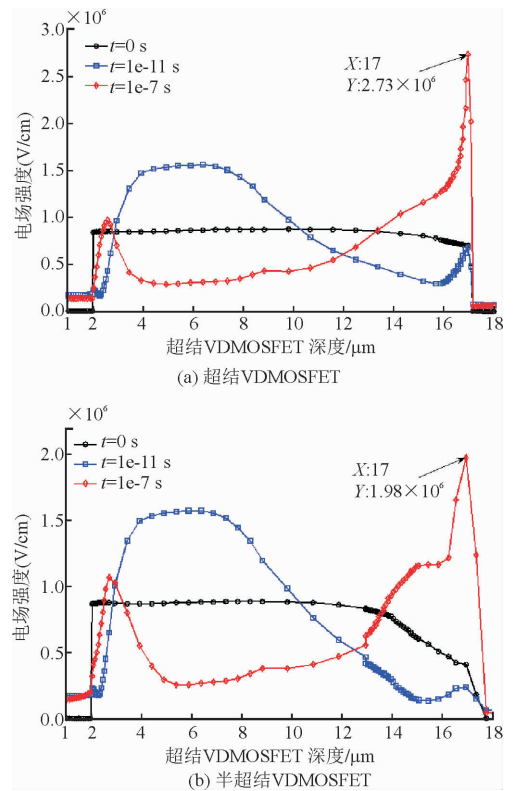


图5 超结和半超结 VDMOSFET 的电场分布

Fig. 5 Electric field distribution of the superjunction and semi-superjunction VDMOSFET

3.2 N_{BAL} 浓度对半超结 VDMOSFET 单粒子烧毁效应的影响

SEB 失效机理研究表明,功率 MOSFET 发生 SEB 效应的阈值电压 V_{SEB} 与寄生晶体管的 2 次击穿电压有直接的关系,并证明了器件的准静态击穿曲线可以有效预测 V_{SEB} ^[17-19]。这里利用半超结 VDMOSFET 的准静态击穿曲线研究 N_{BAL} 浓度变化对器件 SEB 效应的影响。图 6 给出了在不同 N_{BAL} 浓度下,半超结 VDMOSFET 的准静态击穿曲线,标准的半超结 VDMOSFET 准静态击穿曲线如图中黑色曲线所示,曲线上有 3 个重要的拐点。 A_1 表示正常的 PN 结击穿,该点电压 V_{A_1} 表示器件的击穿电压; B_1 点表示寄生晶体管开始导通,该点电流 I_{B_1} 的大小表征器件的抗 SEB 能力; C_1 点表示出现 2 次击穿,该点电压 V_{C_1} 越大表示器件抗 SEB 能力越好。

从图 6 可以看出,随着 N_{BAL} 浓度的增加,器件的击穿电压不断减小($V_{A_1} > V_{A_2} > V_{A_3} > V_{A_4}$);而 2 次击穿电压随着浓度增加先增加后减小($V_{C_4} < V_{C_1} < V_{C_2} < V_{C_3}$),在浓度为 $2 \times 10^{17} \text{ cm}^{-3}$ 时达到最大值,此时半超结 VDMOSFET 具有最好的抗 SEB 能

力。出现这种变化的原因是:当 N_{BAL} 浓度较低时相当于漂移区,随着浓度的逐渐增加 N_{BAL} 相当于一个缓冲层,缓冲层结构对 SEB 效应具有抑制作用^[19],使得半超结 VDMOSFET 的 2 次击穿电压逐渐增大。可以看出浓度为 $2 \times 10^{17} \text{ cm}^{-3}$ 时相当于缓冲层,其准静态曲线额外增加了 D 和 E 2 点, D 点表示第 1 个 2 次击穿点,此时漂移区/ N_{BAL} 高低结击穿电压达到最大值; E 点表示漂移区的载流子浓度达到了 N_{BAL} 的背景掺杂浓度, C_3 表示第 2 个 2 次击穿点,最大电场移动到了 N_{BAL}/N^+ 衬底结处。当浓度大于 $2 \times 10^{17} \text{ cm}^{-3}$ 后继续增大时, N_{BAL} 就相当于衬底,其加固效果随浓度增加减弱,因此随着浓度增加半超结 VDMOSFET 2 次击穿电压反而减小。

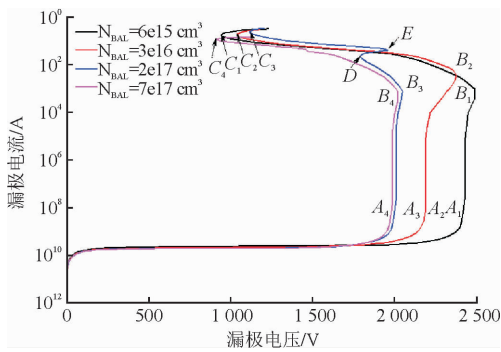


图 6 不同 N_{BAL} 浓度下半超结 VDMOSFET 的准静态击穿曲线

Fig. 6 Quasi-stationary avalanche curves of the Semi-superjunction VDMOSFET with different N_{BAL} doping concentrations

图 7 给出了在 3 种不同 N_{BAL} 浓度下,半超结 VDMOSFET 发生 2 次击穿时漂移区沿 AB (图 1) 的电场分布。

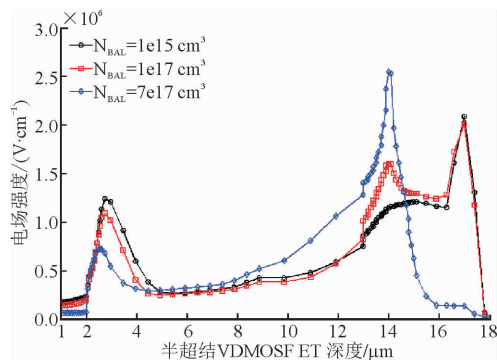


图 7 不同 N_{BAL} 浓度半超结 VDMOSFET 的电场分布
Fig. 7 Electric field distribution of the semi-superjunction VDMOSFET with different N_{BAL} doping concentrations

从图 7 可以看出,在浓度较低时,电场峰值($2.1 \times 10^6 \text{ V/cm}$)出现在 N_{BAL}/N^+ 衬底结;在浓度较大

时,电场峰值($2.5 \times 10^6 \text{ V/cm}$)出现在柱区/ N_{BAL} 结;当浓度适中时,电场峰值($2.0 \times 10^6 \text{ V/cm}$)出现在 N_{BAL}/N^+ 衬底结,其峰值为三者中最小,所以其抗 SEB 能力最好。因此半超结 VDMOSFET 的抗 SEB 能力随 N_{BAL} 浓度增加先增强后减弱,存在一个最优值使得其抗 SEB 能力最好。

4 结语

本文利用 Silvaco TCAD 软件首先对 4H-SiC 基超结和半超结 VDMOSFET 的 SEB 效应进行了对比,然后研究了 N_{BAL} 浓度变化对半超结 VDMOSFET 抗 SEB 能力的影响。研究表明,超结 VDMOSFET 的 V_{SEB} 为 920 V,半超结 VDMOSFET 的 V_{SEB} 为 1 010 V,即半超结 VDMOSFET 的抗 SEB 能力相比超结器件提升了 10%。半超结 VDMOSFET 的抗 SEB 能力随 N_{BAL} 浓度增加先增强后减弱,存在一个 N_{BAL} 浓度最优值使得半超结 VDMOSFET 的抗 SEB 能力最好。本文研究结果为 4H-SiC 基半超结 VDMOSFET 在抗辐射领域的应用提供了理论基础。

参考文献(References):

- [1] 彭沛, 陈勇. 4H-SiC MESFET 新结构的特性研究 [J]. 微电子学, 2015, 45(3): 404-407.
PENG P, CHEN Y. Study on Characteristics of a New Structure of 4H-SiC MESFET [J]. Microelectronics, 2015, 45(3): 404-407. (in Chinese)
- [2] ROUBAND F, DACHS C, PALAU J M, et al. Experimental and 2D Simulation Study of the Single-Event Burnout in N-channel Power MOSFET's [J]. IEEE Transactions on Nuclear Science, 1993, 40(6): 1952-1958.
- [3] ZERARKA M, AUSTIN P, TOULON G, et al. Behavioral Study of Single-Event Burnout in Power Devices for Natural Radiation Environment Applications [J]. IEEE Trans Electron Devices, 2012, 59(12): 3482-3488.
- [4] ZHANG X H. Failure Mechanism Investigation for Silicon Carbide Power Devices [D]. Maryland: the University of Maryland, 2006: 66-95.
- [5] YU L C, SHENG K. Breaking the Theoretical Limit of SiC Unipolar Power Device-A Simulation Study [J]. Solid-State Electronics, 2006, 50(6): 1062-1072.
- [6] 杨银堂, 耿振海, 段宝兴, 等. 具有部分超结的新型 SiC SBD 特性分析 [J]. 物理学报, 2010, 59(1): 566-570.

- YANG Y T, GENG Z H, DUAN B X, et al. Characteristics of a SiC SBD with Semi-Superjunction Structure [J]. *Acta Physica Sinica*, 2010, 59(1): 566-570. (in Chinese)
- [7] CHEN X B. Semiconductor Power Devices with Alternating Conductivity Type High-Voltage Breakdown Regions [P]. US Patent 521627, 1993.
- [8] FUJIHIRA T. Theory of Semiconductor Superjunction Devices [J]. *Japanese Journal of Applied Physics*, 1997, 36(10): 6254-6262.
- [9] SATIO W, OMURA I, AIDA S, et al. Semisuperjunction MOSFETs: New Design Concept for Lower On-Resistance and Softer Reverse-Recovery Body Diode [J]. *IEEE Transactions on Electron Devices*, 2003, 50(8): 1801-1806.
- [10] HUANG S, AMARATUNGA A J, UDREA F. Analysis of SEB and SEGR in Super-Junction MOSFETs [J]. *IEEE Transactions on Nuclear Science*, 2000, 47(6): 2640-2647.
- [11] IKEDA N, KUBOYAMA S, MATSUUDA S. Single Event Burnout of Super-Junction Power MOSFETs [J]. *IEEE Transactions on Nuclear Science*, 2004, 51(6): 3332-3335.
- [12] ZERARKA M, AUSTIN P, MORANCHO F, et al. Analysis Study of Sensitive Volume and Triggering Criteria of Single-Event Burnout in Super-Junction Metal Oxide Semiconductor Field-Effect Transistors [J]. *IET Circuits Devices & Systems*, 2014, 8(3): 197-204.
- [13] SILVACO International Inc. ATLAS User's Manual; Device Simulation Software [EB/OL]. [http // www. silvaco. com](http://www.silvaco.com)
- [14] 刘忠永, 蔡理, 刘小强, 等. 4H-SiC 和 6H-SiC 功率 VDMOSFET 的单粒子烧毁效应 [J]. *微纳电子技术*, 2017, 54(2): 80-85.
- LIU Z Y, CAI L, LIU X Q, et al. Single-Event Burnout Effect of 4H-SiC and 6H-SiC Power VDMOSFET [J]. *Micronanoelectronic Technology*, 2017, 54(2): 80-85. (in Chinese)
- [15] TITUS J L. An Updated Perspective of Single Event Gate Rupture and Single Event Burnout in Power MOSFETs [J]. *IEEE Transactions on Nuclear Science*, 2013, 60(3): 1912-1928.
- [16] YU C H, WANG Y, FEI X X, et al. Simulation Study of Single-Event Burnout in Power Trench AC-CUFETs [J]. *IEEE Transactions on Nuclear Science*, 2016, 63(5): 2709-2715.
- [17] SANDRA L, TITUS J L, BODEN M. Effect of Buffer Layer on Single-Event Burnout of Power DMOSEFETs [J]. *IEEE Transactions on Nuclear Science*, 2007, 54(6): 2254-2260.
- [18] SANDRA L, BODEN M, GIRDHAR D A, et al. Single Event Burnout and Avalanche Characteristics of Power DMOSEFETs [J]. *IEEE Transactions on Nuclear Science*, 2006, 53(6): 3379-3385.
- [19] 高一星, 胡冬青, 贾云鹏, 等. 功率 MOSFET 抗 SEB 能力的二维数值模拟 [J]. *电力电子技术*, 2012, 46(1): 114-116.
- GAO Y X, HU D Q, JIA Y P, et al. Two-Dimensional Numerical Simulation of SEB Survivability of Power MOSFET [J]. *Power Electronics*, 2012, 46(1): 114-116. (in Chinese)

(编辑: 徐楠楠)