

一种新型单电子 - MOS 晶体管混合的半加器电路

李 芹, 蔡 理, 王 森, 吴 刚

(空军工程大学 理学院, 陕西 西安 710051)

摘 要:基于单电子晶体管的 $I-V$ 特性和 MOS 晶体管的逻辑电路设计思想,提出了 1 个单电子晶体管和 MOS 晶体管混合的反相器电路,进而推导出其它基本逻辑门电路,并最终实现了一个半加器电路。通过比较单电子晶体管和 MOS 晶体管两者的混合与纯 CMOS 晶体管实现的半加器电路,元器件数目得到了减少,电路结构得到简化,且电路的静态功耗降低。SPICE 验证了电路设计的正确性。

关键词:单电子晶体管;MOS 晶体管;反相器;半加器;SPICE

中图分类号: TN389 **文献标识码:** A **文章编号:** 1009 - 3516(2008)01 - 0078 - 04

随着微电子电路集成度的不断提高,芯片上的元件尺寸也必须不断减小。如果再进一步减小功能元件尺寸至纳米级,提高集成度,芯片的性能将因量子涨落和散热等问题而变得非常不稳定,解决这些问题的出路在于选择功耗低并能够抑制多种量子涨落的单电子晶体管(Single - Electron Transistors, SET)。SET 被认为是制造下一代低功耗、高密度、超大规模集成电路的基本器件,因为这种晶体管工作仅需 1 个或几个电子,所以具有极低的功耗和较高的开关速度^[1],SET 同时又具有高灵敏度、低增益等缺点,而传统的 MOS 晶体管却具有低灵敏度、低输出阻抗、高增益等特点,两者具有很好的互补性。因此,SET 和 MOS 混合电路是一种必然的发展趋势,已引起国内外的广泛关注^[2-5]。

MOS 逻辑电路设计的一个重要单元是 MOS 反相器,基于 MOS 反相器的设计思想,首先实现了 SET - MOS 反相器并对其进行分析研究,进而提出了一种新型的 SET - MOS 晶体管混合的半加器电路。提出的新的半加器电路与传统的 CMOS 电路相比,具有结构简单以及超低功耗的优点。利用 SPICE 仿真进一步证实了电路设计的正确性。

1 SET 的 $I-V$ 特性

SET 由源极、漏极、量子点(岛)、2 个隧穿结以及控制量子点中电子数的栅极组成。图 1(a)为一个双栅极 SET 的结构示意图,其中 C_D 和 C_S 为隧穿结电容, R_D 和 R_S 为隧穿结电阻, G_{G1} 和 G_{G2} 为栅极电容, V_{G1} 和 V_{G2} 为栅极电压,栅极电压是通过栅极电容耦合到 SET 的量子点(岛)上。SET 在增加一个栅极的情况下,它的振荡周期保持不变但相位将发生移动。利用 SPICE 对双栅极 SET 进行仿真,所得 $I-V$ 特性如图 1(b)所示,仿真参数分别设置为: $C_S = C_D = 1$ aF, $R_D = R_S = 1$ M Ω , $G_{G1} = 2$ aF。从图 1(b)中可以看出双栅极 SET 在 $G_{G2} = 0.8$ aF、 $V_{DS} = 0.03$ V 时, V_{G2} 分别为 0.05 V、0 V、-0.1 V 时的变化曲线图。当增加的栅极电压 $V_{G2} < 0$ 时,相位向右移动,当 $V_{G2} > 0$ 时,相位向左移动。这主要是因为随着感生电荷的增加或减少,为了产生隧穿电流, V_{G1} 必须调整电压大小,而 V_{G2} 则控制了晶体管库仑振荡的相位。双栅极 SET 的这种特性有利于逻辑电路的分析和构造。

收稿日期:2007 - 06 - 13

基金项目:陕西省自然科学基金资助项目(2005F20);空军工程大学理学院科研基金资助项目(2005ZK19)

作者简介:李 芹(1979 -),女,山东莱西人,博士生,主要从事单电子器件的理论及应用,模拟电路与信号处理研究。

E-mail:liqin_121@126.com

蔡 理(1959 -),女,福建永春人,教授,博士生导师,主要从事集成滤波器理论和设计、单电子器件的理论及应用、现代集成电路与系统研究。

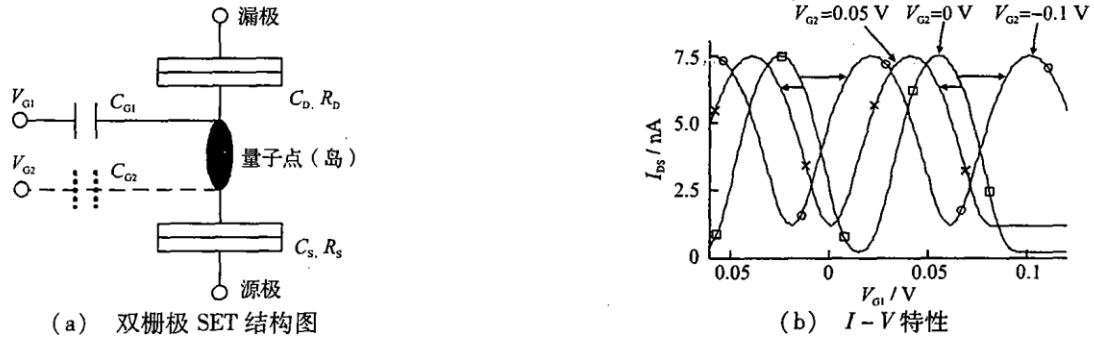


图 1 双栅极 SET 结构及其 $I - V$ 特性
 Fig.1 Equivalent circuit of double - gate SET and SET $I - V$ characteristics

2 SET - MOS 混合的基本逻辑门

在逻辑电路中,最重要的一个单元就是反相器。SET - MOS 管实现的反相器电路如图 2(a) 所示。耗尽型 NMOS 晶体管 M_1 作为 SET 的负载器件,其栅极连接到源极,使它的栅源电压 $V_{GS} = 0$ 。

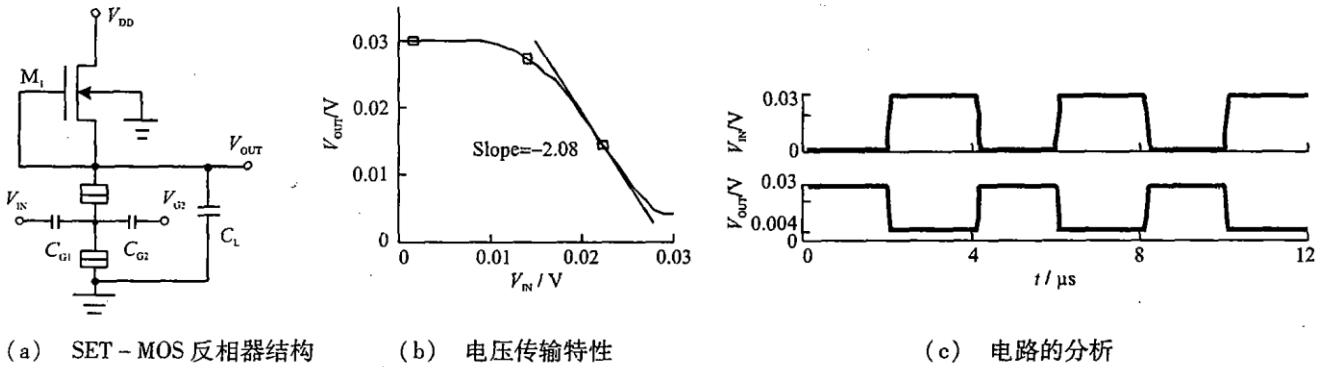


图 2 SET - MOS 反相器结构及其仿真分析
 Fig.2 Circuit diagram the SET - MOS inverter and its simulation analysis

利用文献[6]提出的双栅极 SET 的仿真模型,得出了其 SPICE 模型,该模型可以较精确地描述 SET 的 $I - V$ 特性。由于 SET 正常工作需 2 个条件^[1,7]:①单电子的电荷能须大于量子扰动能,即 $e^2/2C > h/RC$, h 为普朗克常数, R 为隧道结电阻。所以源漏极间的电阻须大于量子电阻 $R_Q = h/e^2 \approx 25\ 814\ \Omega$;②单电子的电荷能须大于热能,即量子点的电容须足够小,使得 $e^2/2C > k_B T$ 。其中 C 为量子点的电容, k_B 为波耳兹曼常数, T 为工作温度。基于以上分析,选取参数 $V_{DD} = 30\ mV$, $V_{G2} = 0.25\ V$, $C_L = 100\ aF$, $T = 5\ K$ 。选取 SET 的各物理参数为 $C_{G1} = 2\ aF$, $C_{G2} = 0.1\ aF$, $C_D = C_S = 1\ aF$, $R_D = R_S = 1\ M\Omega$; M_1 的物理参数设置为: $W/L = 20/200\ \mu m$, $T_{OX} = 10\ nm$ 。图 2(b) 给出了反相器电路的电压转移特性仿真曲线,从图中可得出,该反相器的电压增益为 2.08,与完全利用 SET 实现的反相器电路(电压增益约为 1.4,详见文献[8])相比,电路的增益得到了很大的提高。反相器输入电压脉冲的高低电平分别设为 $0.03\ V$ 和 $0\ V$,仿真得出输出电压脉冲高低电压分别为 $0.03\ V$ 和 $0.004\ V$,如图 2(c) 所示。电路的输入输出的高低电平基本保持了一致,与负载电路匹配性较好。

根据 MOS 逻辑电路“串与并或”的特点,同理可实现或非门及与或非门逻辑电路,如图 3(a)、(b) 所示。

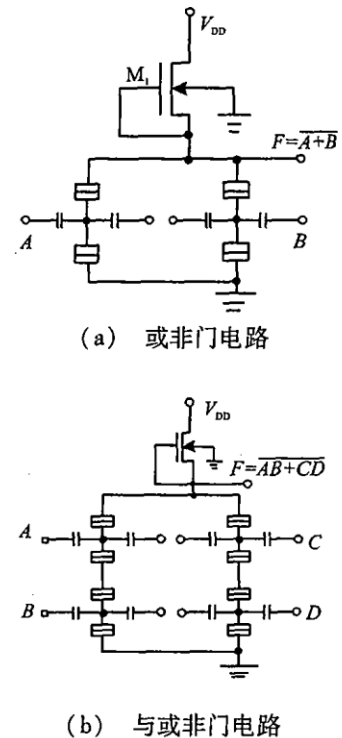


图 3 或非门及与或非门电路
 Fig.3 2 -input NOR gate and 4 -input AND - OR - INVERT gate

3 SET - MOS 混合的半加器电路

3.1 半加器电路的设计

算术运算是数字系统的基本功能,更是计算机中不可缺少的组成单元。而半加器是算术运算电路中的基本单元,它是完成1位二进制数相加的一种组合逻辑电路,它只考虑了2个加数本身,而没有考虑由低位来的进位^[9-11]。若设A为被加数,B为加数,S表示和数,C表示进位数,则半加器的逻辑表达式为

$$S = \overline{A}B + A\overline{B} = \overline{AB} + \overline{\overline{A}B}; C = AB = \overline{\overline{A}B} \quad (1)$$

由式(1),根据MOS晶体管逻辑电路的设计思想,利用双栅极SET和MOS晶体管实现的基本逻辑门构成的半加器电路如图4所示。

图中电路采用单电源供电,且仅有4个基本逻辑门组成,共利用了4个MOS管和8个SET组成,而由纯CMOS电路实现的半加器则需要18个晶体管^[12],相比之下,提出的电路中晶体管的数量明显减少。

3.2 半加器电路的仿真分析

利用SPICE对提出的电路进行瞬态仿真分析,基于SET正常工作所需的2个条件,选取电路参数 $V_{DD} = 0.02 \text{ V}$, $V_{G1} = 0.45 \text{ V}$, $V_{G2} = 0.2 \text{ V}$;选取MOS晶体管 $M_i (i = 1, 2, 3, 4)$ 的各物理参数为: $W/L = 20/200 \text{ nm}$, $T_{\text{ox}} = 10 \text{ nm}$;选取SET的物理参数 $S_i (i = 1, 2, 3, 4)$ 同反相器电路, $S_i (i = 5, 6, 7, 8)$ 的物理参数为 $G_{G1} = 4 \text{ aF}$, $G_{G2} = 0.2 \text{ aF}$, $C_D = C_S = 2 \text{ aF}$, $R_D = R_S = 1.5 \text{ M}\Omega$ 。仿真结果如图5所示。

从仿真结果可以看出,波形较好地反映了半加器的功能,验证了电路设计的正确性,且半加器的2个输出端的高低电平都十分逼近于偏置电压值0.02 V和0 V,表明与负载电路的匹配性较好;利用仿真结果计算得出电路的静态总功耗为37.9 pW,功耗极低。另外,在仿真结果波形图中还出现了一定的负跳变脉冲,这是门电路的延迟时间对电路产生的影响。在仿真时每一级电路的输出端都并联了一个容量为100 aF的电容器,对负跳变脉冲起到了一定的平波的作用,从一定程度上避免了输出端逻辑错误的出现。

4 结论

实现的半加器电路主要是基于双栅极单电子晶体管的库仑振荡和相移特性以及MOS电路的设计思想。通过适当选取SET和MOS晶体管的各个物理参数,使电路的输入输出电压高低电平与负载电路匹配性较好,并且电路通过双栅极单电子和MOS晶体管两者的混合使电路的管子数目得到了减少,简化了电路结构,减少了电路的静态功耗,使得电路更有利于大规模集成电路的实现。

参考文献:

- [1] Wasshuber C. Computational Single electronics [M]. New York: Springer - Verlag, Wien, 2001.
- [2] ZHANG Wancheng, WU Nanjian. Novel Hybrid Voltage Controlled Ring Oscillators Using Single Electron and MOS Transistors [J]. IEEE Trans On Nanotechnology, 2007, 6(2): 170 - 175.
- [3] Park KyuSul, Kim SangJin, Baek Inbok, et al. SOI Single - Electron Transistor With Low RC Delay for Logic Cells and SET/FET Hybrid ICs [J]. IEEE Trans On Nanotechnology, 2005, 4(6): 705 - 714.

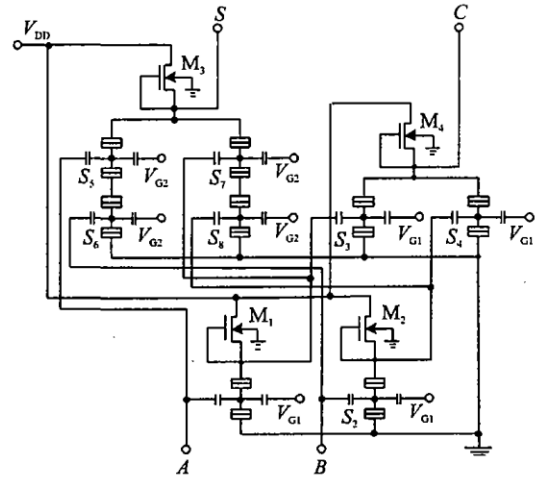


图4 半加器电路图

Fig. 4 Circuit diagram of half adder

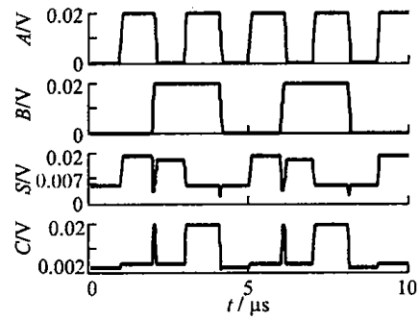


图5 半加器输入输出波形图

Fig. 5 Input and output voltage signals of half adder

- [4] Mahapatra S, Ionescu. Realization of Multiple Valued Logic and Memory by Hybrid SETMOS Architecture[J]. IEEE Trans On Nanotechnology, 2005, 4(6): 705 - 714.
- [5] Inokawa H, Fujiwara A, Takahashi Y. A Multiple - Valued Logic and Memory With Combined Single - Electron and Metal - Oxide - Semi - Conductor Transistors[J]. IEEE Trans on Electron Devices, 2003, 50(2): 462 - 470.
- [6] Santanu Mahapatra, Vaibhav Vaish, Christoph Wasshuber, et al. Analytical Modeling of Single Electron Transistor for Hybrid CMOS - SET Analog IC Design[J]. IEEE Trans on Electron Devices, 2004, 51(11): 1772 - 1781.
- [7] Goldhaber G D, Michael S, Montemerlo J, et al. Overview of Nanoelectronic Devices[J]. Proceedings of the IEEE, 1997, 85(4): 521 - 540.
- [8] Kim Dae Hwan, Sung SukKang, Kim Kyung Rok, et al. Single - Electron Transistors Based on Gate - Induced SI Island for Single - Electron Logic Application[J]. IEEE Trans On Nanotechnology, 2002, 1(4): 170 - 175.
- [9] 康华光. 电子技术基础数字部分[M]. 北京: 高等教育出版社, 2000.
KANG Huaguang. Electron Technology Foundation (digital part)[M]. Beijing: Higher Education Press, 2000. (in Chinese)
- [10] 孙铁署, 蔡理. 一种基于互补型单电子晶体管的全加器电路设计[J]. 电子器件, 2005, 28(2): 366 - 369.
SUN Tieshu, CAI Li. A Full Adder Realization with Complementary Single - electron Transistors[J]. Journal of Electron Devices, 2005, 28(2): 366 - 369. (in Chinese)
- [11] 孙铁署, 蔡理, 陈学军. 一种单电子晶体管的 Spice 宏模型[J]. 空军工程大学学报: 自然科学版, 2003, 4(6): 65 - 67.
SUN Tieshu, CAI Li, CHEN Xuejun, A Spice Model for Single - Electron Transistors[J]. Journal of Air Force Engineering University: Natural Science Edition, 2003, 4(6): 65 - 67. (in Chinese)
- [12] Rehan S E. A Novel Half - Adder Using Single Electron Tunneling Technology: Proceeding of the 2nd IEEE International Conference on Nano/Micro Engineered and Molecular Systems[C]. Bangkok, Thailand: [s. n.], 2007.

(编辑: 田新华, 徐楠楠)

A Novel Half Adder Circuit Using Hybrid Single Electron and MOS Transistors

LI Qin, CAI Li, WANG Sen, WU Gang

(The Science Institute, Air force Engineering University, Xi'an 710051, China)

Abstract: Based on $I - V$ characteristics of single - electron transistor and the idea of MOS digital circuit design, an inverter using the single - electro and MOS transistors is proposed and some other logic gate circuits are deduced. Finally a novel half adder circuit is realized using these logic circuits. The half adder circuit, in comparison with the pure CMOS circuit, has the advantages that the number of transistor is decreased, the structure of the circuit is predigested, and the total static power consumption is reduced. The accuracy of the circuit is validated by SPICE.

Key words: single - electron transistor; MOS transistor; inverter; half adder; SPICE