

基于FPGA多通道通用总线数据传输系统的设计

焦 艳, 刘勇智

(空军工程大学工程学院, 陕西西安 710038)

摘要: 基于FPGA技术, 实现了兼容 rOCT1897和 ARINC429总线标准的多通道通用总线数据传输系统的设计, 就实现不同总线标准的统一数据传输速率、数据收发同步和串并转换等问题给出了具体解决方案。该系统可以进行相互独立的8路数据接收和8路数据发送, 数据传输实时、可靠。

关键词: rOCT1897总线; ARINC429总线; 多通道; 数据传输; FPGA

中图分类号: TP273 文献标识码: A 文章编号: 1009-3516(2006)03-0041-03

我国现役飞机的机载电子设备广泛采用了 rOCT18977 和 AR2NC429 这两种总线标准。两者除了在传输速率、数据编码格式、公差上有所不同外, 其它完全兼容^[1-3]。因此兼容的通用总线数据传输系统研究具有现实意义和广泛的应用前景。

1 多通道数据传输系统的设计结构

该系统的接口设计是基于FPGA技术, 灵活性很高, 其独立的可编程时钟模块, 可根据需要产生不同的时钟频率, 具有对不同时钟频率传输的兼容性, 为实现 rOCT18977 和 ARINC4292 种标准的数据传输提供了基础。系统提供了可选的1~8路相互独立的接收和发送通道。其原理见图1。

2 系统各功能模块的具体设计

2.1 时钟模块

该模块由8个子模块组成, 用来为系统中相互独立的8路接收和发送通道提供时钟。整个FPGA的工作时钟定为24 MHz, 通过计数器分频实现时钟使能的产生。参照 rOCT18977 和 ARINC429 总线所用的时钟频率, 选取1 MHz 和 1.2 MHz 作为时钟使能的频率, 计数器采用减法计数, 可通过软件进行赋值(N), 实现可编程时钟模块。 N 值不同, 各通道使能信号产生的频率不同, 使FPGA工作时钟的上升沿在该使能信号处有效, 即用24 MHz 和时钟使能产生不同的采样频率。计数器赋的值 N 与 rOCT18977/ ARINC429 时钟频率(kb/s)之间的关系为: 10, 100; 96, 12.5; 100, 12; 25, 48; 4, 250。

在时钟模块中, 通过写控制寄存器(CW1、CW2、CW3)来实现时钟的可编程。每个寄存器为32位, 分别占用一个地址空间, 其中CW1为分频时钟选择寄存器, 每一个通道占用4 bit位, 由于只有二个时钟要进行选择, 所以只用到每4位的低二位。控制寄存器见表1。初始化后, 首先写CW1, 再写CW2和CW3, 其中 N 值的计算由软件完成, CW1所确定的分频时钟和CW2、CW3所确定的 N 值分别送入8路通道的时钟产生模块, 生成与该通道传输率相同的时钟使能。

传输时钟的使能信号 clkenout 和它的倍频使能信号 2clkenout, 等价于门控时钟生成的时钟信号。但它能有效的减小时钟 skew, 满足时序要求, 使整个系统工作在一个时钟频率下, 为一个真正同步的系统^[4]。

收稿日期: 2005-11-03

基金项目: 国防预研基金资助项目(413170402)

作者简介: 焦 艳(1981-), 女, 陕西西安人, 硕士, 主要从事机载导弹控制与测试研究。

表 1 控制寄存器

地址	31 - 24	23 - 16	15 - 8	7 - 0
地址 +0(时钟选择)	通道 8 通道 7	通道 6 通道 5	通道 4 通道 3	通道 2 通道 1
地址 +1(N 值)	通道 4	通道 3	通道 2	通道 1
地址 +2(N 值)	通道 8	通道 7	通道 6	通道 5

2.2 接收模块

该模块包括同步、字头检测、速率变换、奇偶校验、串并转换、控制模块等几个部分,结构见图 2。

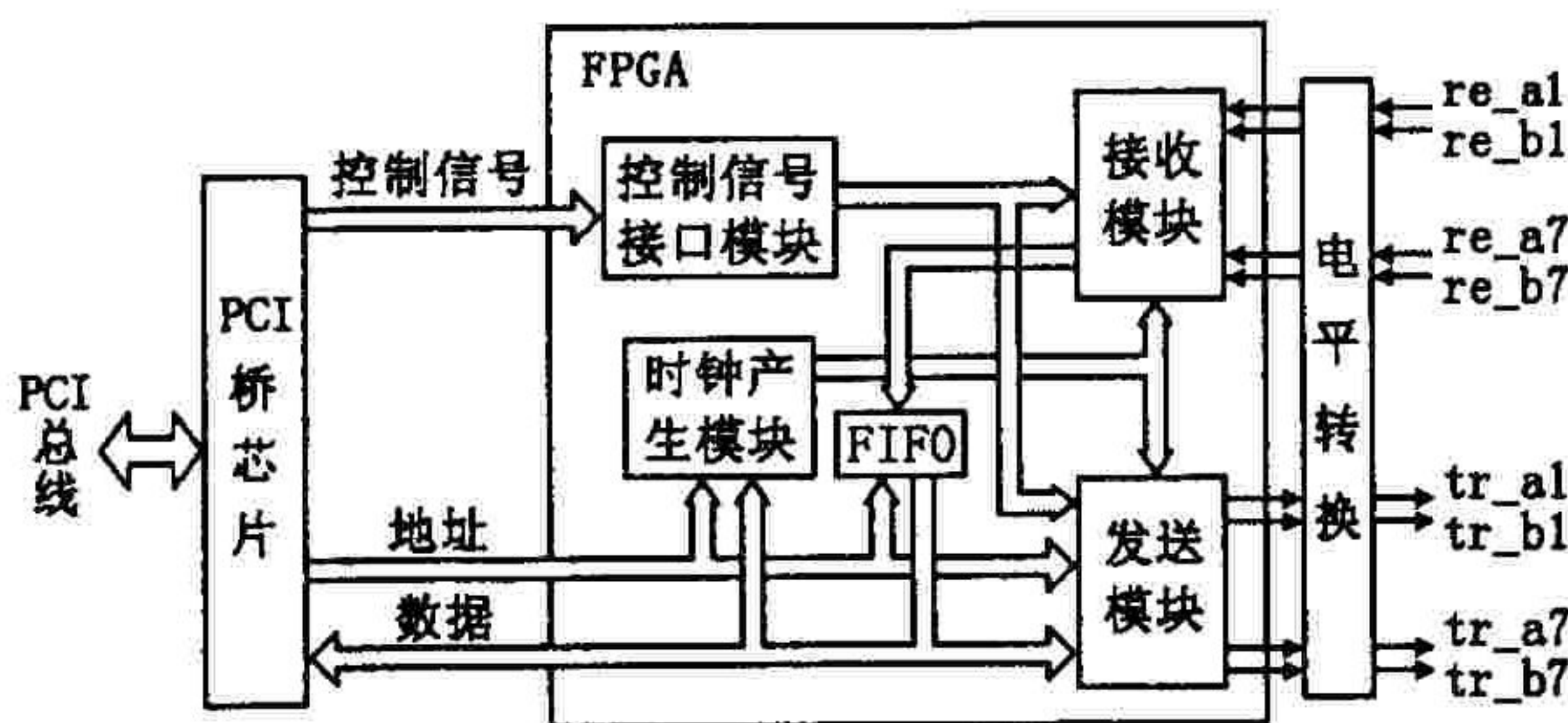


图 1 多通道数据传输系统的结构

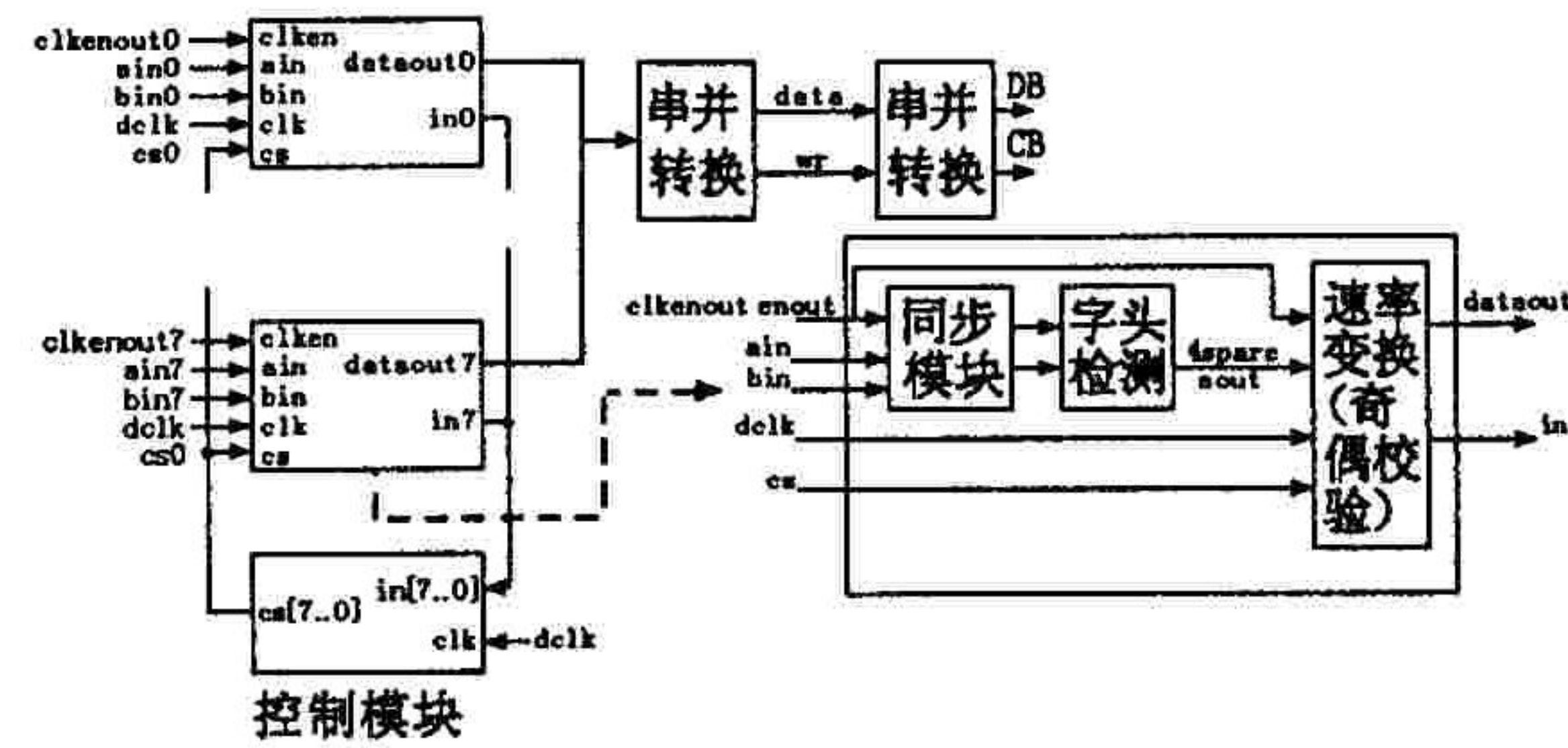


图 2 接收模块原理结构图

2.2.1 同步模块

FOCT18977/ ARINC429 信号的自带时钟传输过程中会带有外界干扰,也不能作为采样时钟。所以采用系统内部生成的时钟,通过时钟使能来代替通道的数据时钟,接收的信号只有在使能信号处的 dclk 上升沿才被采样,可滤除对原信号的干扰。

2.2.2 字头检测模块

该模块用来检测 FOCT18977/ ARINC429 的 4 字间隔,把两路信号相“或”之后,进行检测。由于系统在初始化之后所有的寄存器全都为“0”,这样就可能在系统初期产生一个错误的高电平,因此这里的字头检测不是利用 4 位全“0”来检测,而是利用输入信号非信号的 4 位全“1”进行检测。波形见图 3。

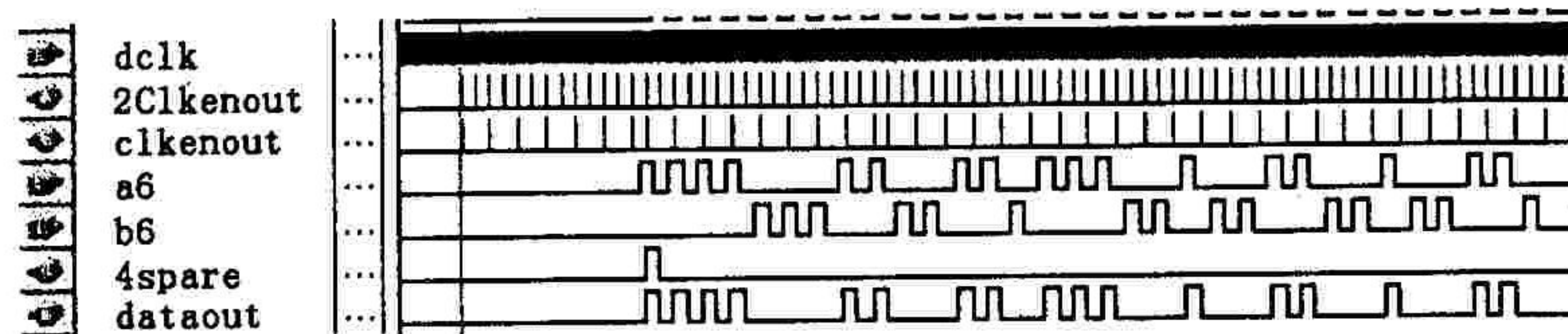


图 3 同步转换时序

2.2.3 多路控制模块

由于接收模块最多可同时进行 8 路信号的传输,若每一路使用一个串并转换器,通过控制模块逐一送入 FIFO 中,会造成速度慢、FPGA 面积资源浪费,扩展通道时面积加倍增加。所以可通过速率变换、串并转换与控制相结合,采用一个串并转换器即可。FOCT18977/ ARINC429 信号每 32 位字之间都有 4 字间隔,速率变换的功能是将串行信号以 FPGA 时钟(24 M)读取出来。当某一路信号的 32 位字全部进入该路的一个 32 位寄存器时,在下一个字之前的 4 字间隔期间,以 24 M 时钟读出到串并转换器中。即使 8 路数据同时读取,由控制模块作用以一定顺序送入串并转换器也可在 4 字间隔内完成。

控制模块采用中断查询方式选通每一路的信号,先完成先选通,每一个通道配置一个中断寄存器,当该通道寄存器中 32 位字有效时,其中断寄存器置“0”;在数据被送入串并转换器后,其中断寄存器置“1”。

2.2.4 中断信号产生模块

当某一路的 cs[i](选通信号)为低时,其通道号 i 就存入该模块的中断寄存器 IRQ 中,并产生一个写信号,通过与串并转换产生的写信号相“或”作为 FIFO 的写信号。由于 cs[i]的低电平要延续 32 个 dclk 周期,所以在第 1 个 dclk 周期把 i 存入 IRQ 中后产生一个宽度为一个 dclk 周期的写信号,在第 32 个 dclk 周期串并转换完毕,再产生一个写信号。

2.2.5 串并转换模块

通过一个 32 位的移位寄存器实现,转换速度为 24 MHz。只要任意一个使能信号有效,表明开始进入转

换,当一个 32 位字全部进入寄存器后,产生输出和写信号。

2.2.6 FIFO 模块

设计中数据以 32 位进行传输,根据数据的特点,这里采用 FPGA 内部的存储块,通过 MegaWizard 生成一个宽 32 位,深 32 位的 FIFO,读写信号高电平有效。FIFO 中的存储结构见图 4。

2.3 发送模块

该模块包括 8 路相互独立的发送通道。每一路发送通道占用一个地址端口。数据进入相应的通道后,以时钟使能进行并串转换,首先通过计数器产生 4 字间隔,计到 36 时表示完成一个 32 位字的转换。每一路发送模块设有一个状态寄存器 en,表明该发送模块的忙闲状态,当为“1”时,表示该路正在进行转换,完成后置“0”。发送模块波形见图 5。双极性归零码由转换后的串行信号在该通道时钟倍频使能(2clkenout)控制下产生,用 Verilog HDL 硬件描述语言实现^[5]。

BASE+0	NO
BASE+1	DATA0
BASE+2	N1
BASE+3	DATA1
:	:
BASE+14	N7
BASE+25	DATA7

图 4 FIFO 内部存储结构

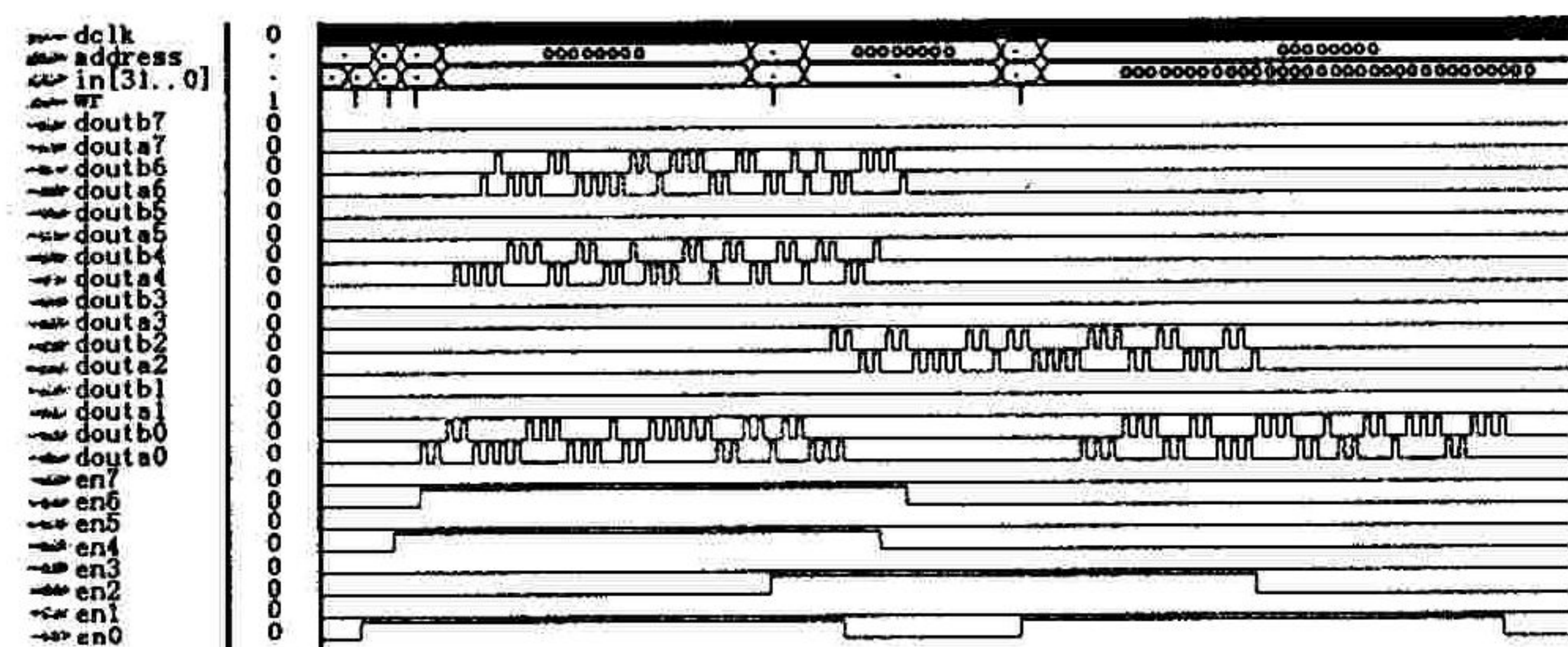


图 5 发送模块波形

3 结束语

该数据传输系统采用了时钟使能设计方案和多路控制时分复用技术,基于 FPGA 设计接口电路,实现了 IOCT18977 和 ARINC429 总线传输的兼容性,可同时在多个通道下独立地传输两种总线数据。同时,该系统具有良好的可靠性、通用性和可扩展性,实用价值较高。

参考文献:

- [1] 航空工业第 610 研究所. 前苏联国家标准 IOCT18977 - 79 代替 IOCT18977 - 73 飞机和直升机成套机载设备功能通讯的型式、电信号的类型和电平[R]. 1998.
- [2] AEEC. ARINC Specification 429212 Mark33 Digital Information Transfer System [R]. 1990.
- [3] 刘欢迎,罗志强. ARINC429 协议和与之对应的俄罗斯标准的比较[J]. 航空电子技术,2002, 33(1):11 - 15.
- [4] Bob Zeidman. 基于 FPGA&CPLD 的数字 IC 设计方法[M]. 赵宏图. 北京:北京航空航天大学出版社,2004.
- [5] Bhasker J. A Verilog HDL Primer (second Edition)[M]. 北京:机械工业出版社,2000.
- [6] 张 鹏. 一种快速测频算法及其 FPGA 实现[J]. 空军工程大学学报(自然科学版),2005,6(4):74 - 76.

(编辑:姚树峰)

Design of Multi-channel Data Transmission System on General Bus Based on FPGA

JIAO Yan, LIU Yong - zhi

(The Engineering Institute, Air Force Engineering University, Xi'an, Shaanxi 710038, China)

Abstract: Design of multi-channel data transmission system on IOCT18977 and ARINC429 bus based pm FPGA is realized in this paper. Transmission rate unifying, data receiving and sending synchronizing, and serial-parallel converting are solved in the system. The system mentioned in the paper can trustworthily receive and send data in eight mutually independent channels in real time, which is very useful and importantly.

Key words: IOCT18977 bus; ARINC429 bus; multi-channel; data transmission; FPGA