

基于 CPLD 控制的多路数据自动采集系统设计

曲婧华, 张永顺

(空军工程大学 导弹学院, 陕西 三原 710038)

摘要:分析了常用模数转换器的控制时序,并以 AD0809 为例,对由 CPLD 构建的多路采集控制电路的内部原理做了详细分析。给出了基于 CPLD 控制的多路数据自动采集系统设计方案,仿真验证本方案是可行的。

关键词:CPLD;多路并行数据采集;AD 转换器

中图分类号: TN707 **文献标识码:** A **文章编号:** 1009 - 3516(2006)02 - 0036 - 03

在测控系统中,经常遇到需对模拟量进行采集的情况,通常的方法是以 MCU 为主产生采集控制时序控制模数转换器,并通过中断或查询的方式读取转换后的结果^[1]。由 MCU 产生采集控制时序将占用较多的系统软硬件资源,特别是在需对多路模拟信号进行采集的复杂测控系统中,MCU 要兼顾控制、存储、通讯、数据处理等多重工作,若再让其频繁产生采集控制时序,将影响系统的处理速度,严重时将成为系统工作的瓶颈^[2]。本文采用 CPLD 构建多路数据采集控制时序,整个数据采集、结果存储与更新完全由 CPLD 自动完成^[3],彻底释放 MCU 资源,MCU 的工作仅仅是从相应的地址单元中读取最新的采集数据而已,数据采集的速度仅取决于所选模数转换器的速度,并可实现多路并行采集,数据宽度和存放数据缓存区的大小也可灵活配置。

1 模数转换器控制时序分析

一般模数转换器的主要逻辑控制信号有输入时钟、启动控制和转换结束标志等。下面以典型模数转换器 AD0809 为例,具体分析模数转换器的工作过程与时序关系。

AD0809 为 8 通道、8 位中速 AD 转换器,本身带有 8 路通道转换开关和与微处理器兼容的控制逻辑。AD0809 芯片具体介绍见文献[1]。图 1 所示为 AD0809 的主要逻辑控制信号及工作时序图。其中 CLK 为输入时钟;ALE 为多路通道转换开关地址锁存控制信号,ALE 为高电平时,8 路模拟量的 3 位地址选通输入端应稳定,ALE 为低电平时,地址被锁存,对应模拟通道被选通;START 为转换启动控制输入信号,START 脉冲到来时,启动 A/D 转换;EOC 为 A/D 转换结束标志,可作为 MCU 的中断或查询信号,当 EOC 端出现高电平时表示 A/D 转换结束;OTEN 为数据输出允许控制端,当 OTEN 置高时控制 3 态数据输出锁存器向外部输出转换结果。

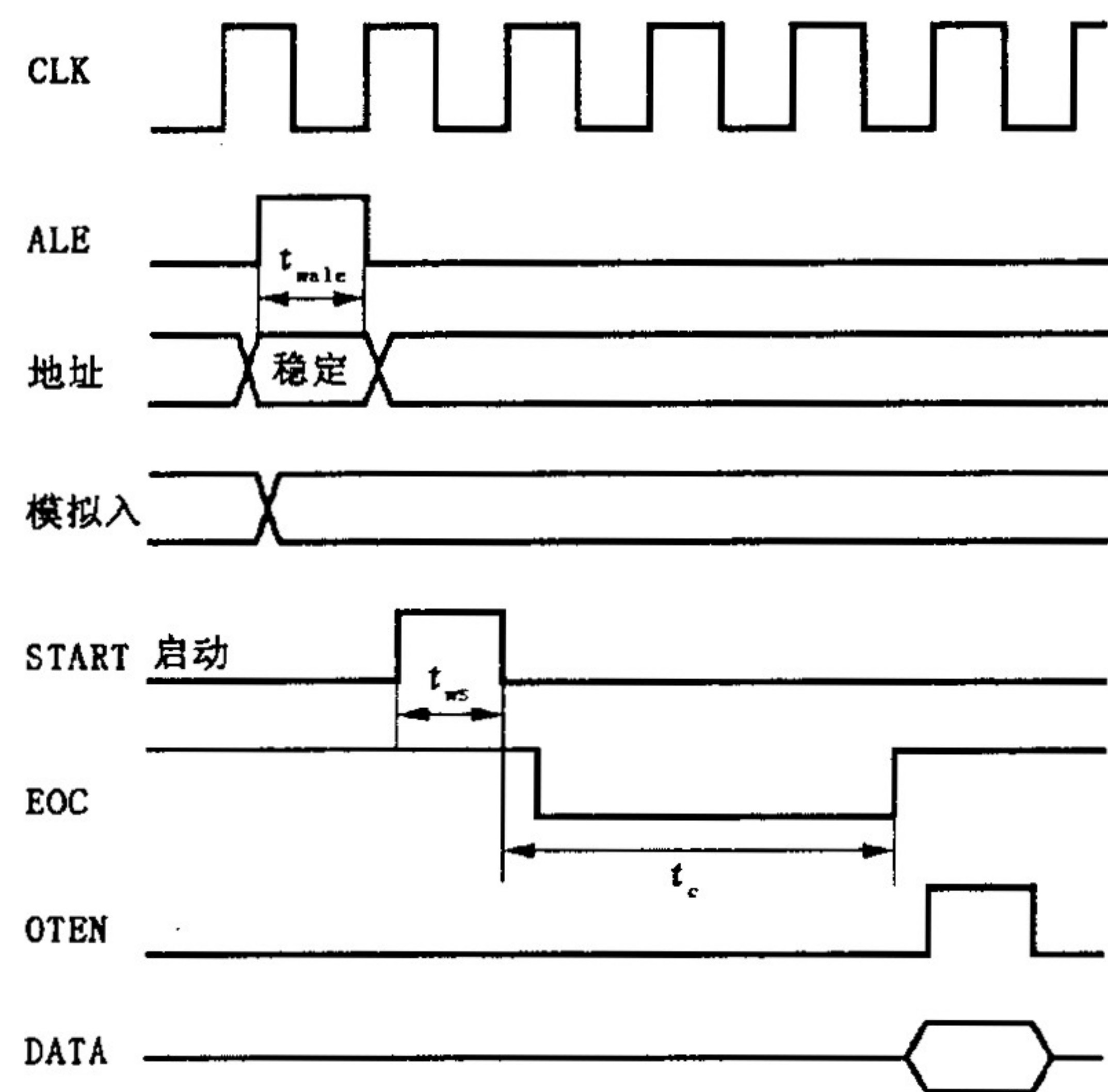


图 1 AD0809 工作时序

收稿日期:2005 - 09 - 01

基金项目:陕西省自然科学基金资助项目(2004F21)

作者简介:曲婧华(1982 -),女,山东烟台人,硕士生,主要从事电路与系统研究;

张永顺(1965 -),男,陕西咸阳人,教授,博士生导师,主要从事雷达、电子对抗等技术研究。

AD0809 的主要参数中 t_{wale} 为最小地址锁存脉宽,典型值为 100 ns, t_{wa} 为最小启动脉宽,典型值为 100 ns, CLK 时钟频率范围为 10 kHz ~ 1 280 kHz,转换速度取决于时钟频率,当 CLK 取 1 125 kHz 时,转换时长 t_c 约为 10 us。

2 多路数据自动采集系统构成原理

图 2 所示为多路数据自动采集系统的原理框图。系统由多路模拟开关、模数转换单元、双口 RAM 存储器、地址产生器、控制信号产生器等 5 部分组成。地址产生器产生多路模拟开关选通地址和双口 RAM 的写地址,控制信号产生器生成模数转换单元工作所需的采集控制时序,双口 RAM 存储转换结果数据。

通过对 AD0809 工作过程分析可知,采集控制时序产生过程为先形成稳定的地址信号,然后产生地址选通信号 ALE,再由 ALE 信号触发产生 START 信号,启动转换,EOC 电平变低,经过 t_c 后,转换结束,EOC 电平变高,可用 EOC 的上沿触发 OTEN 信号,将 OTEN 脉冲做为 RAM 缓存的写信号,将转换结果写入 RAM 缓存,等待 MCU 响应中断或由 MCU 随时读取,同时启动下轮采集。

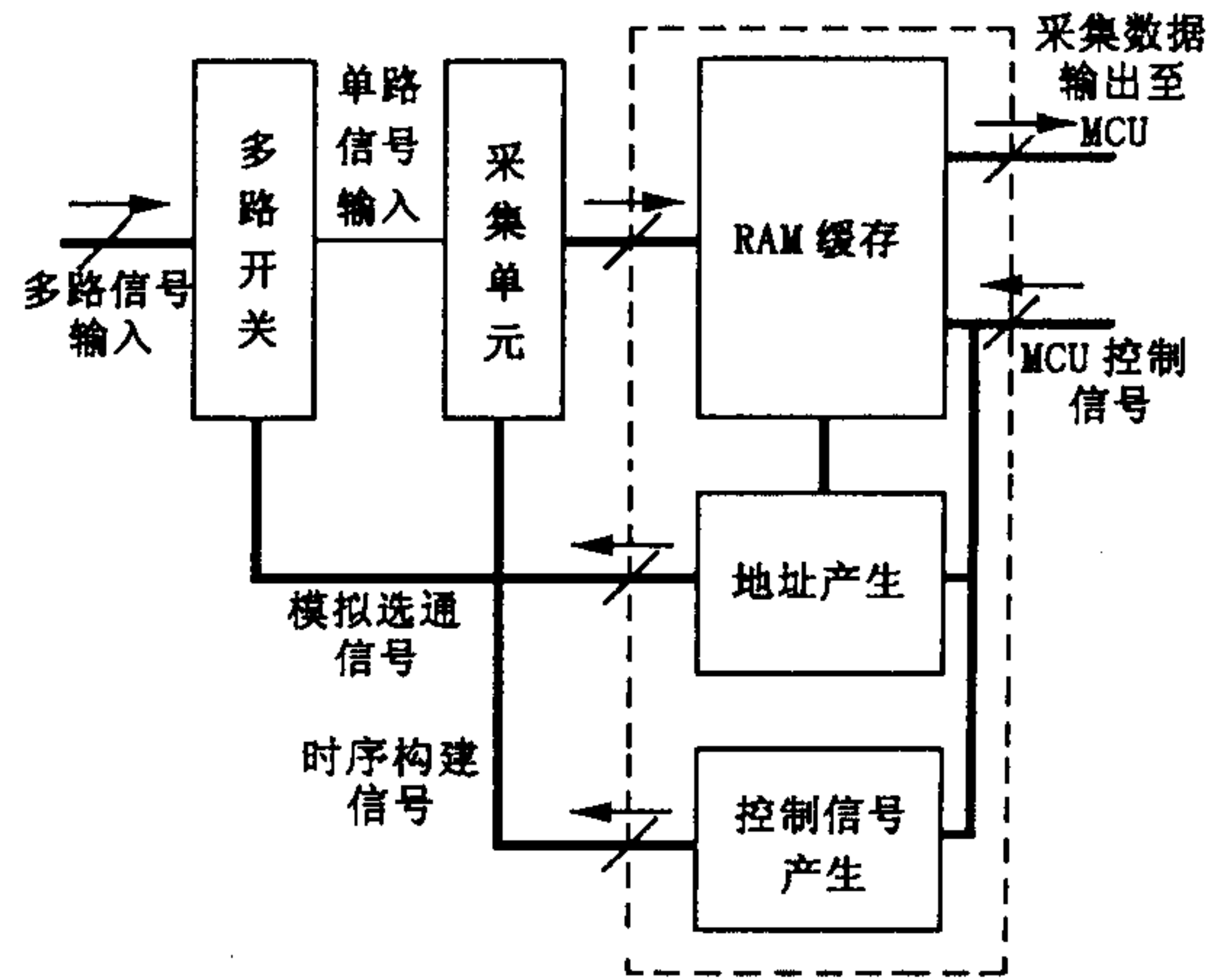


图 2 多路数据自动采集系统原理框图

3 基于 CPLD 的采集控制实现

图 2 虚线框内为多路数据自动采集系统的采集控制部分,可基于 CPLD 实现。从信号类型上可分成输入信号和输出信号两大类,其中输入信号有:外部输入时钟 f_c 、转换结束标志 EOC、转换结果 DATA 等。输出信号有:工作时钟 CLK、模拟开关选通地址和 RAM 写地址、地址选通 ALE、启动控制 START、MCU 读控制信号及数据输出总线等。图 3 所示为基于 CPLD 的采集控制顶层逻辑原理图。主要分为:时钟产生、地址形成、控制信号产生及数据存储等 4 大模块。

3.1 时钟产生模块

时钟模块对外部输入时钟进行分频,形成模数转换器所需的工作时钟和各控制信号基础脉冲。具体对 AD0809 来说,其最小控制信号脉宽为 100 ns,可取外部输入时钟为 10 MHz,对其进行 8 分频,得到 1 125 kHz 时钟作为 AD0809 的工作时钟。该模块功能简单,模块中的 8 分频器采用 3 位计数器实现,取计数器最高位输出作为 AD0809 的工作时钟。

3.2 地址形成模块

地址形成模块用于形成模拟开关的选通地址与双口 RAM 的写入地址,其范围与模拟开关的路数也即所采集模拟信号的数量一致。对于单块 AD0809 来说,地址形成模块为一个 3 位二进制计数器,计数输入端 CP 由 OTEN 的后沿触发。

3.3 控制信号产生模块

控制信号产生模块主要用来产生 ALE、START 和 RAM 写信号。控制信号产生模块的具体电路见图 4。RESET 信号用来触发生成上电后的首次 ALE 和 START 脉冲,RESET(高电平有效)可采用系统复位信号,也可用阻容件或一片 MAX813 构成复位电路(将 OTEN 信号接入 MAX813 的 WDI 端)。复位后 ALE 和 START 脉冲的产生由 OTEN 信号控制。当 OTEN 后沿到来时,两级 D 触发器对 OTEN 信号做后沿微分,产生一个周期为 $1/f_c$ 的 ALE 信号,完成地址锁存,第 3 个 D 触发器对 ALE 信号再做一个 $1/f_c$ 的时延,产生 START 信

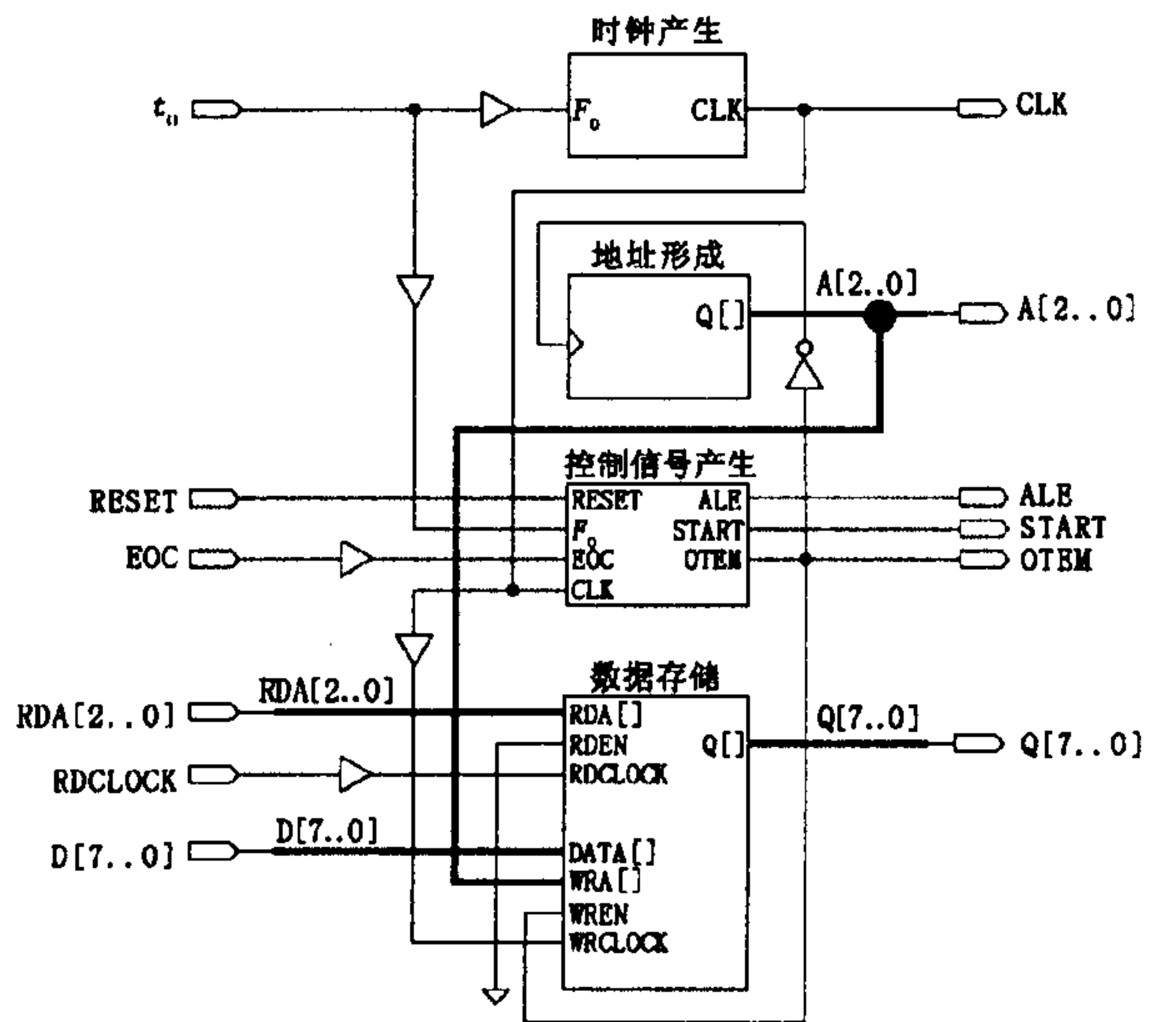


图 3 基于 CPLD 的采集控制顶层逻辑原理图

号,开始 A/D 转换,当 EOC 脉冲上升沿到来时,控制产生 OTEN 信号,并作为 RAM 的写信号,将转换结果写入 RAM 缓存,并启动下一轮转换。

3.4 数据存储模块

为了读写方便,方案调用读写时钟异步、读写地址选通端独立的 RAM 宏单元作为数据存储模块, RAM 中的写信号由 OTEN 提供,写数据总线 D[7.6.5.4.3.2.1.0]与模数转换器的数据线相连,读允许信号和读地址选通信号由 MCU 控制, RAM 中的读允许信号和读地址选通信号由 MCU 控制,采用中断方式时,可将 OTEN 信号作为中断信号,采用查询的方式时, MCU 可随时将转换的结果从 Q[7.6.5.4.3.2.1.0]通过 8 位并行总线读走。

3.5 CPLD 仿真结果

通过 max_plus10.1 对图 2 所示时序进行仿真,完全符合 AD0809 控制时序要求。具体仿真结果如图 5 所示。

4 结束语

本文给出了一种基于 CPLD 构造的多路数据采集控制时序的方法,全面简化了 MCU 接口电路设计,对 MCU 接口电路提供了一种新的思路。文中对 AD0809 采集时序的构造已在某复杂采控系统中应用,大大提高了采集效率,单片机程序也得到很大程度的简化。在构建其它大型复杂的采集控制时序时,可将原理图与硬件描述语言相结合,来完成 CPLD 内部程序的编写,这样可得到较高的编程效率。

参考文献:

- [1]何立民. 单片机应用系统设计[M]. 北京:北京航空航天大学出版社,1990.
- [2]卢毅,赖杰. VHDL 与数字电路设计[M]. 北京:科学出版社,2001.
- [3]宋万杰,罗丰,吴顺君. CPLD 技术及其应用[M]. 西安:西安电子科技大学出版社,1999.
- [4]阚保强,张安堂,王建业,等. 传感器信号非线性的软件补偿[J]. 空军工程大学学报(自然科学版)2005,6(2):25-27.

(编辑:田新华)

A Design of Multiplex Data Auto Collecting System Based on CPLD

QU Jing-hua, ZHANG Yong-shun

(The Missile Institute, Air Force Engineering University, Sanyuan, Shaanxi 713800, China)

Abstract: Adopting CPLD, the design aims at producing a multiplex data collecting timing signal, and the collecting data will be saved into the cache memory. The CPU could read the up-to-the-minute result at any moment. This paper presents a common method of producing a multiplex data collecting timing signal with CPLD by taking AD0809 for example. Finally, this paper gives a detailed discussion on the operating circuit in CPLD.

Key words: CPLD; data collecting; AD transform instrument

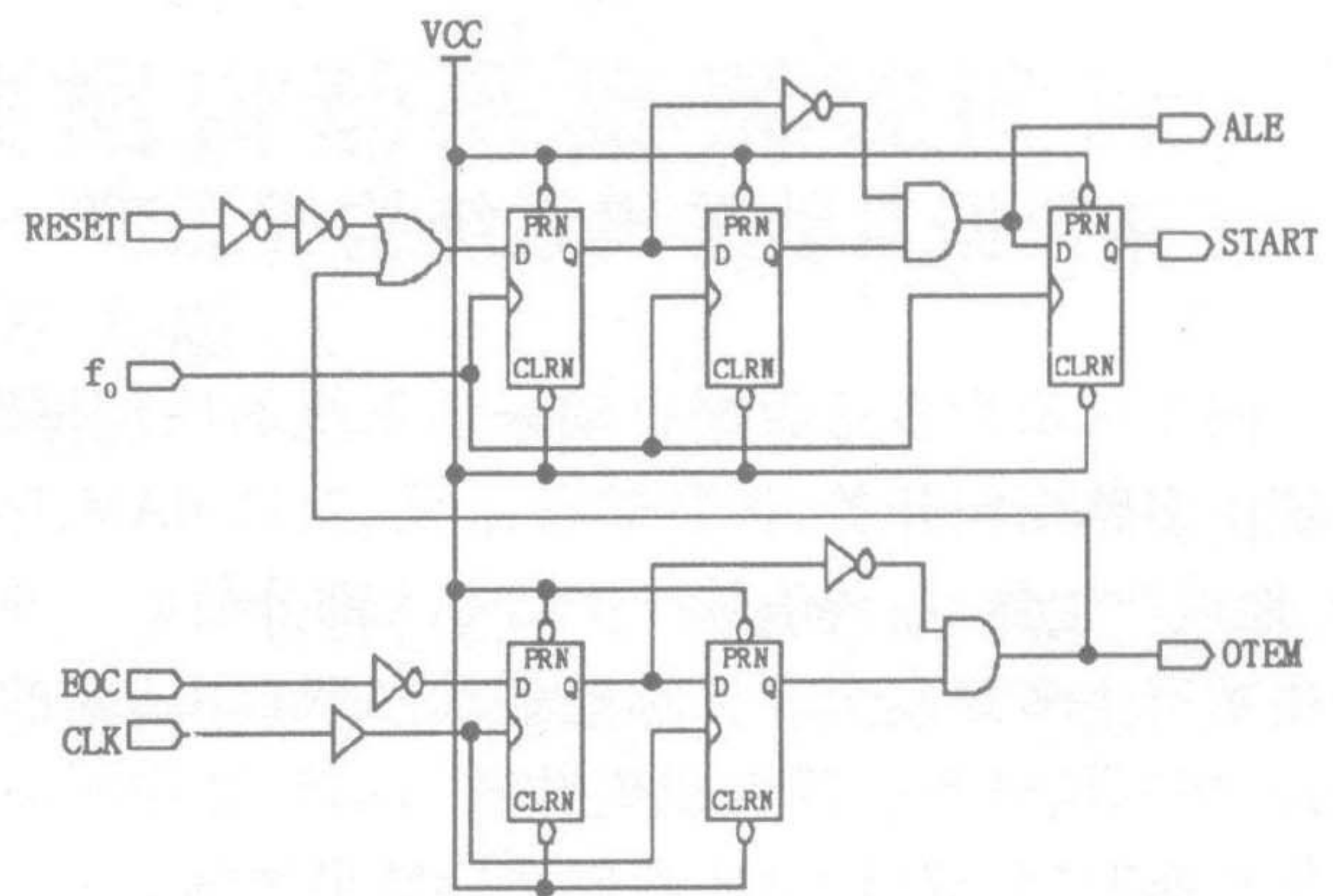


图4 控制信号产生模块

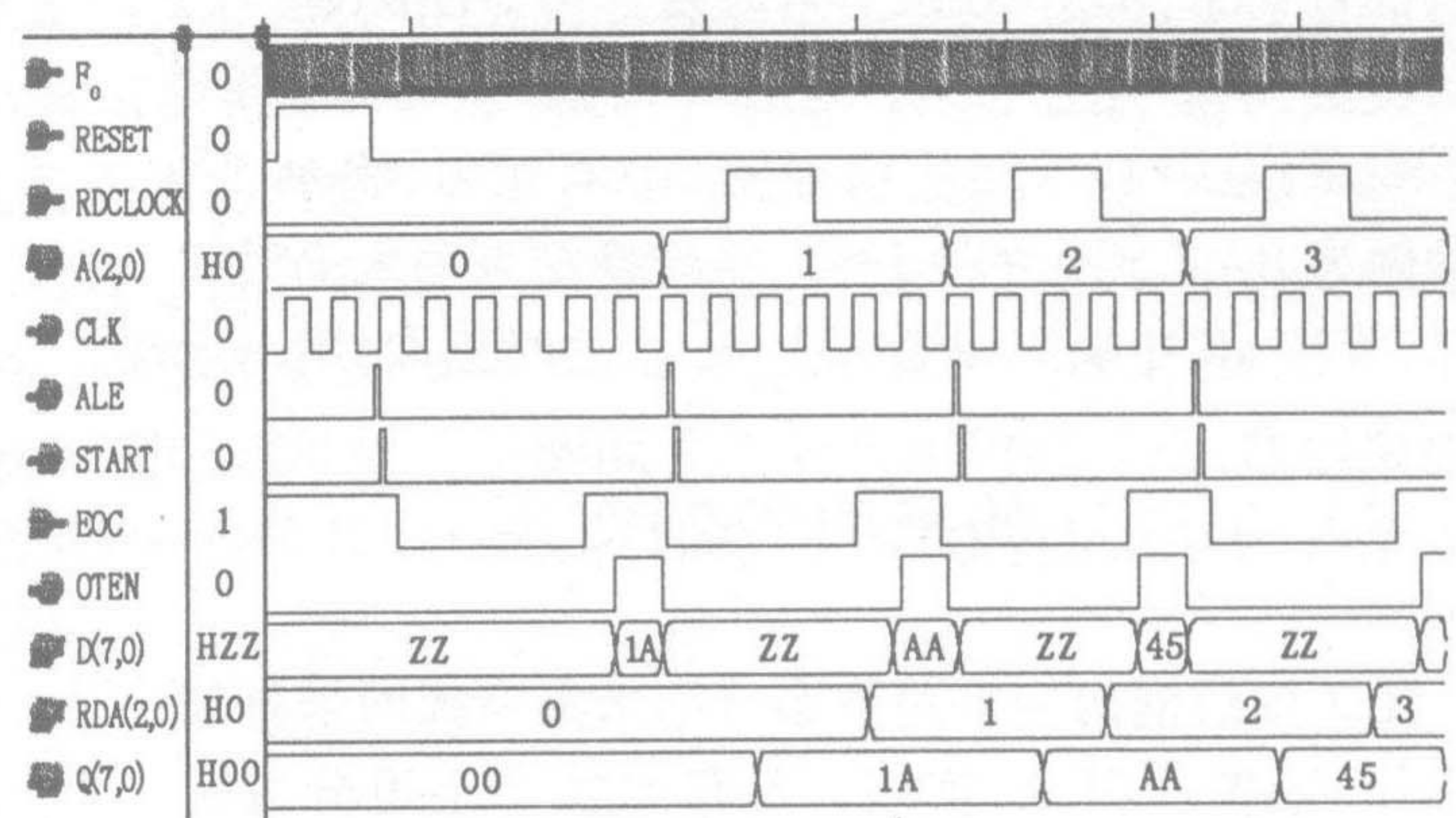


图5 CPLD 仿真结果