

一种快速测频算法及其 FPGA 实现

张鹏, 王更辰, 何伟

(空军工程大学工程学院, 陕西西安 710051)

摘要: 以修正 PRON 的方法为基础, 利用不同时刻噪声的不相关性, 提出了一种快速、准确的频率估计算法, 并利用 FPGA 技术在硬件上实现了这种算法。

关键词: 正弦信号; 测频; 实时处理; FPGA 硬件实现

中图分类号: TN911.23 文献标识码: A 文章编号: 1009-3516(2005)04-0074-03

对被噪声污染的正弦波信号进行频率估计是一个十分重要的课题, 在通讯、雷达、电子对抗等领域有广泛的应用价值。有学者在高斯白噪声下对正弦波频率进行最大似然估计以及基于相位差分改进了频率估计算法^[1-3], 有人通过选取奇异矢量直接进行频率估计^[4]。但这些算法都存在运算量较大, 测频时效不能满足实时要求, 并且硬件实现难度较大。在电子侦察这种实时性要求极高的特殊环境中, 研究短数据、快速且易硬件实现的测频方法尤为重要。基于修正 PRONY 方法^[5], 并利用不同时刻噪声的不相关性, 本文研究了一种快速、准确的测频算法, 并且利用 FPGA 技术在硬件上实现了这种算法。

1 测频算法改进

设从某时刻起对无噪声的正弦信号采样下来的数据有: $x(n) = A\sin(n2\pi ft_s + \alpha)$; $x(n+1) = A\sin[(n+1)2\pi ft_s + \alpha]$; $x(n+2) = A\sin[(n+2)2\pi ft_s + \alpha]$ 。式中: f 为信号频率; t_s 为采样周期。利用三角函数关系式得到 $2\pi ft_s = \cos^{-1}[\frac{x(n+2) + x(n)}{2x(n+1)}]$ 。利用此式可快速求出输入信号的频率, 在有噪声的情况下, 要想获得高的测频精度, 对信号的信噪比要求很高, 于是把上面的式子写成矩阵形式为 $x_{n+1}2\cos\omega = x_n + x_{n+2}$ 。其中: $x_n = [x_1, \dots, x_N]^T$; $x_{n+1} = [x_2, \dots, x_{N+1}]^T$; $x_{n+2} = [x_3, \dots, x_{N+2}]^T$ 。

当有噪声时, 用 y_n 代替 x_n 加噪声 a_n , 即 $y_{n+1}2\cos\omega = y_n + y_{n+2}$, 对其求最小二乘解可得

$$2\cos\omega = y_{n+1}^H(y_n + y_{n+2})/y_{n+1}^H y_{n+1} = \sum_{n=1}^N (y_{n+1}y_n + y_{n+1}y_{n+2}) / \sum_{n=1}^N y_{n+1}^2 \quad (1)$$

分析式(1)得 $\sum y_{n+1}y_n$ 和 $\sum y_{n+1}y_{n+2}$ 可以看作是 $NR_{yy}(1)$ 的近似估计值, $\sum y_{n+1}y_{n+1}$ 是 $NR_{yy}(0)$ 的近似估计值。式(1)可近似写为

$$2\cos\omega \approx 2 \times \hat{R}_{yy}(1) / \hat{R}_{yy}(0) \quad (2)$$

而 $R_{yy}(1) = E[y(n)y(n+1)] = E[(x(n) + a(n))(x(n+1) + a(n+1))] = R_{xx}(1)$, 同理得 $R_{yy}(0) = R_{xx}(0) + \sigma^2$ (噪声功率)。可以看出, 影响估计精度的一个是自相关函数估计值, 还有就是噪声功率值。进一步改进这种算法用 y_{n+3}^H 代替 y_{n+1}^H 。

$$2\cos\omega = \sum_{n=1}^N (y_{n+3}y_n + y_{n+3}y_{n+2}) / \sum_{n=1}^N y_{n+3}y_{n+1} \approx [\hat{R}_{xx}(3) + \hat{R}_{xx}(1)] / \hat{R}_{xx}(2) \quad (3)$$

式(3)利用在不同采样时刻噪声的不相关性来降低噪声对结果的影响, 测频结果理论上只与自相关函数估计值有关。

收稿日期: 2004-12-22

作者简介: 张鹏(1973-), 男, 陕西西安人, 硕士生, 主要从事信号与信息处理的研究。

2 测频性能分析

2.1 可行性模拟

在信号为正弦、线性调频信号时, $f_s = 200$ MHz, 信噪比 = 8 dB 时做式(2)和式(3)所代表的测频算法的性能比较(100次实验)。表1给出了正弦信号在部分频点的计算机模拟结果。

表1 测频算法性能的对比 MHz

被测频率	测频值		估计误差(%)	
	式(2)	式(3)	式(2)	式(3)
21	24.4	20.7	16.6	0.9
37	38.2	37.02	3.2	0.14
54	53.6	53.9	0.6	0.19
66	64.4	66.17	2.38	0.3
82	78.1	82.4	4.7	0.6
92	84.8	91.4	7.9	1.3

从表1可以看出,改进的测频算法对提高测频精度是可行的,尤其在频段的高低两端效果更明显。

2.2 数据长度对算法的影响

在不同数据长度下对算法进行测试,表2给出了部分计算机模拟结果。

表2 数据长度的选择 MHz

被测频率	16 数据点		24 数据点		48 数据点	72 数据点
	测频值	误差(%)	测频值	误差(%)	测频值	测频值
9.00	10.1	12.1	9.66	7.3	8.62	9.04
21.00	20.4	2.86	20.48	2.5	20.84	20.56
67.00	66.31	1.05	67.52	0.8	67.12	66.9
94.00	91.3	2.9	92.87	1.2	93.69	93.83

数据点长度与所需乘法次数的关系为 $3N$ 。可以看出,在兼顾算法测频时间和测频精度的情况下,数据点长度选择 $N = 24$ 是比较合适的。同时进一步对算法在取数据长度 $N = 24$ 时不同信噪比的情况下的测频性能做了分析,信噪比在 8 dB 或更高的情况下,测频算法误差是比较低的(在 5% 以内),测频算法是可行的。

3 FPGA 硬件实现方案与仿真

实验中选用的硬件描述语言为 Verilog HDL。最后用现场可编程门阵列(FPGA)硬件实现。

根据前述的快速测频算法,设计了如下的硬件实现方案:数据分3路进行乘法,然后分路进入累加器和除法器,利用除法器的结果再进行测频

3.1 乘法实现

为实现短数据快速测频,采用并行方式。算法中数据处理可以分3路同时处理。3路数据如下:

$$\begin{array}{ccc}
 x_4(x_1 + x_7) & x_4(x_3 + x_5) & x_4(x_{21} + x_6) \\
 \dots & \dots & \dots \\
 x_{24}(x_{21} + x_{24}) & x_{25}(x_{23} + x_{27}) & x_{26}(x_{25} + x_{27})
 \end{array}$$

即可以先对每路数据并行作12个加法,然后再并行作12个乘法。采用这种方案要比三路全部使用乘法器的数目减少36个,而同时只增加了36个加法器。而且虽然增加了一级加法处理,但在FPGA设计中加法运算速度很快(一般在几个ns左右),相对减少的乘法器数目、节约的资源来说,增加的时间是可以接受的。

3.2 除法器实现

乘法器的输出到累加器中进行累加,然后把结果送入除法器,进行除法。除法器算法采用加减交替法,其算法如下:被除数 X , 除数 Y

- 1) $X + (-Y)$ 的补码(即被除数减去除数),得到余数。
- 2) 余数为正,商位取1,余数左移一位,减去除数,得到新的余数;若余数为负,商位取0,余数左移一位,加上除数,得到新的余数。
- 3) 据对商的要求,重复第一,二步。

这种方法与一般除法采用的恢复余数法相比,不仅可以省略恢复余数这一步,提高了运算速度,而且可以根据需要来控制商的位数,节约运算时间。

3.3 测频检验

用查表的办法实现反余弦的功能并测频。事先可将不同除法结果相对应的频率值利用 FPGAFLEX10K 器件中的 EAB(嵌入式阵列块, Embedded Array Blocks) 存储起来,实际测频时将除法器输出作为地址线,对结果进行测频。EAB 块最多可有 11 根地址线,即可以输出多达 2048 个频率值。在验证实验中要求提供 16 个频率值,测频算法的测频范围为 $0 \sim 0.5$ (采样频率为 1)。采用除法器的输出值与事先计算好的阈值进行比较,除法器的输出值落在某一段频率范围内,即认为测频值是该段频率中心值。除法器输出值为 $-1 \sim +1$,反余弦后为 $\pi \sim 0$,对应的测频值为 $0.5 \sim 0$ 。比如在输出值为 $1 \sim 0.9808$ 中间时,测频值为 0.0156。

3.4 仿真时序

输入数据采样频率为 200 MHz,信号频率为 83 MHz 时的调频信号采样数据,通过时序图(图 1)可以得到仿真测频频率代码为 14,即测频结果为 84.375 MHz。

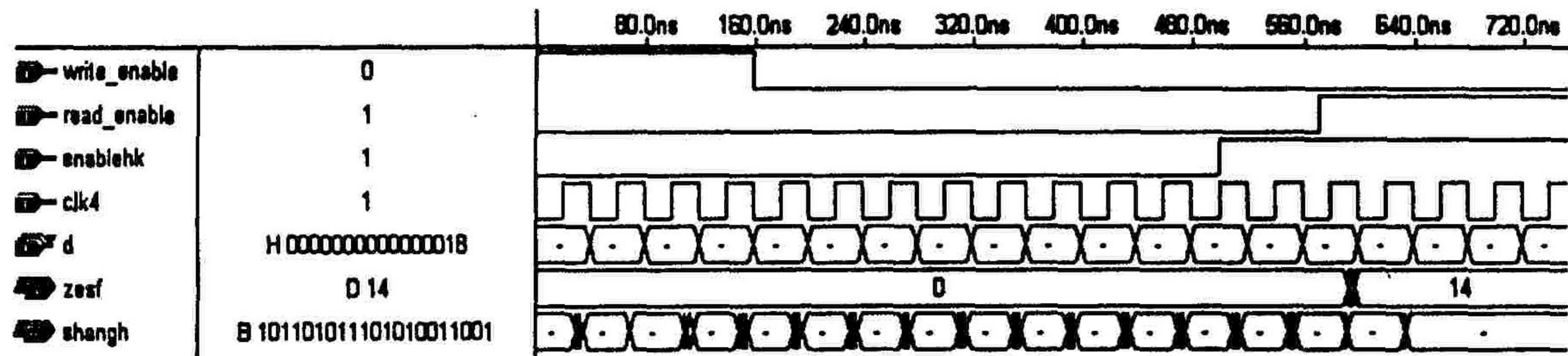


图 1 时序图

4 结论

由于利用在不同时刻噪声的不相关性,得到了比较精确的改进的正弦波频率估计算法,计算机模拟结果表明测频算法有稳定的、较好的性能。而且本文利用目前通行的 FPGA 方法实现了硬件集成,硬件实现时间最低仅 500ns 左右,满足实时要求,对以后的工程应用有重要的指导作用。

参考文献:

- [1] 林云松,肖先赐. 实正弦信号的快速相位差分频率估计方法[J]. 电子科技大学学报,1999,28(2):120-123.
- [2] Kay S M. Statistically/computationally efficient frequency estimation[A]. Proc. IEEE ICASSP,1988,2292-2295.
- [3] Tretter S A. Estimating The frequency of a noisy sinusoid by linear regression[J]. IEEE Trans IT,1985,31:832-833.
- [4] 韩仲祥,夏靖波,王元一. 高斯白噪声中单频正弦信号频率估计新方法[J]. 空军工程大学学报(自然科学版),2003,4(3):68-71.
- [5] Umesh S, Neson D. Computationally efficient estimation of sinusoidal frequency at low SNR[A]. Proc IEEE ICASSP,1996.

(编辑:姚树峰)

An Algorithm of Fast Frequency Estimation and the FPGA's Realization

ZHANG Peng, WANG Geng-chen, HE Wei

(The Engineering Institute, Air Force Engineering University, Xi'an, Shaanxi 710038, China)

Abstract: Based on the amendatory Prony method, an algorithm for estimating frequency quickly and accurately is proposed by making use of the noise's non-relativity at different times, and the algorithm is realized in hardware by using the FPGA technology.

Key words: fast frequency estimation; FPGA