

基于时频分析及 SOPC 技术的高速跳频侦察、干扰机设计

茹乐, 杜兴民, 闫涛, 唐红

(空军工程大学 工程学院, 陕西 西安 710038)

摘要:根据高速跳频跟踪式干扰机的基本原理,提出一种基于时频分析理论的高速跳频干扰机实现方案,并使用 SOPC 技术在单片 FPGA 上实现了该方案。经过性能分析与实际测试,可干扰 2000 跳/秒的超短波跳频电台,同时侦查、识别 10 000 跳/秒的超高速跳频电台。

关键词:跟踪式干扰; 时频分析; SOPC; Stratix 器件; Quartus II 软件

中图分类号: TN97 **文献标识码:** A **文章编号:** 1009-3516(2005)01-0005-03

跳频(Frequency-hopping)通信技术是国内外通信抗干扰的主要技术手段,随着跳频速率的提高,跳频图案的复杂度加大,跟踪干扰的难度也越来越大。因此,如何快速准确的识别、跟踪跳频系统的跳频图案成为通信对抗领域研究的一个焦点。

1 总体方案

对于已知跳频信号的干扰有以下 3 个结论^[1]:在跳频通信的每个频率驻留时间内,受干扰时间大于某一比例时,通信就无法进行,且跳频速率不同时比例也不同;跳频通信的全部频率集,只要有部分频率(信道)受干扰,通信就可能无法进行,这个比例的大小也与跳频速率有关;跳频通信系统在部分频带受干扰时,其性能随跳频速率显著改变。

美国通过实验,给出了一个用于干扰一个具有信号处理系统的语言通信所需的经验法则。该法则与预备知识所述基本相似,具体数据见表 1^[2]。

对跳频通信比较常用的干扰方式为:频率跟踪式干扰,部分频带或全频带阻塞式干扰。由于跳频频带

较宽,实施阻塞式干扰需要很大的平均干扰功率,而且这样还可能对己方的通信形成干扰,因而为了提高干扰效率,通常采用频率跟踪式干扰^[3]。从表 1 中的数据可以看出,采用频率跟踪式干扰,当 100% 的频率都受干扰时,则 30% 的时间受干扰就足够了。跳频干扰机系统原理框图见图 1。

频率跟踪式干扰系统的时间关系为^[4] $T_1 + T_2 + T_p < T_{TR} + \eta T_d$ 。式中: T_1 为跳频发射机到干扰机的信号传输时延; T_2 为干扰机到跳频接收机的信号传输时延; T_p 为干扰机的信号处理时间(信号的截获、分析、识别及换频施放干扰时间); T_{TR} 为跳频发射机到跳频接收机的信号传输时延; T_d 为跳频电台输出信号每跳的驻留时间; η 为小于 1 的干扰比例系数。

在战术通信中,通信距离约为几十公里,见图 2。信号与干扰电波传输路径差常达 15 km。这相当于干扰信号比通信信号晚到通信接收机 50 μ s,即 $T_1 + T_2 - T_{TR}$ 为 50 μ s。对进行话音通信的中低速跳频电台来说, $\eta < 0.5$ 比较合适。对于高速跳频而言,还需考虑干扰机开、关机与通信不同步,干扰过程中还要间断观察等时间损失,为保证干扰奏效,选 $\eta < 0.25$ 。因此,要干扰 1 000 跳/s 以上的高速跳频电台, T_p 必须小于

表 1 美国基于语言通信干扰系统的一个经验法则

干扰的频率比例	需要干扰的时间
50% 的频率	90% 的跳频时间
75% 的频率	50% 的跳频时间
100% 的频率	30% 的跳频时间

收稿日期:2004-05-14

基金项目:国防科技重点实验室基金资助项目(51473040103JB3201)

作者简介:茹乐(1978-),男,陕西西安人,讲师,博士,主要从事保密通信与抗干扰技术研究;
杜兴民(1941-),男,安徽涡阳人,教授,主要从事信息安全与抗干扰技术研究。

200 μs。当然,干扰机的信号处理时间 T_p 越短,能干扰的跳频电台的跳速就越高。

跳频信号是指载波频率随时间近乎随机跳变。传统分析方法只在时域或频域对信号进行分析和处理,不适合变信号。为此,我们采用时频分析方法。常用的时频分析方法主要有:短时傅里叶变换(STFT)和小波变换(WT)两种。小波变换与短时傅里叶变换的区别在于:短时傅里叶变换是以同一种分辨率(即统一的窗函数)来观察信号,在时间-频率平面的所有局域都相同。而在小波分析中,则以不同的“尺度”(或分辨率)来观察信号。信号分析中的这种多尺度(或多分辨率)的观点是小波分析的基本点^[5]。

在某一时刻观察跳频系统是窄带的,从长时间上看,跳频信号在整个频带内跳变,是宽带的。从统计的观点看,在整个频带内,跳频信号的频谱是均匀分布的。因而,我们不需要多种尺度,或者说多分辨率来分析跳频信号。另外,从信号处理的实时性考虑,短时傅里叶变换所花费的硬件处理时间要远远少于小波变换。因此,本文最终选用短时傅里叶(STFT)变换来进行时频分析运算。

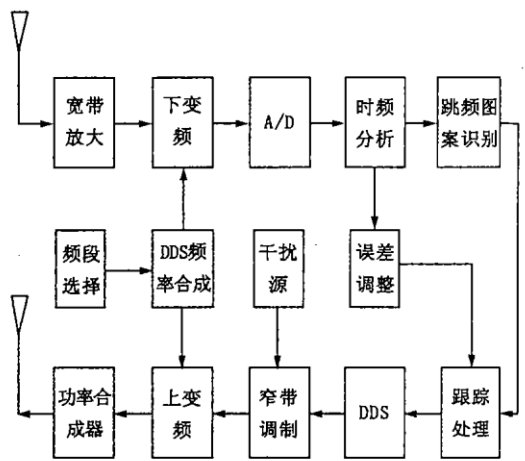


图1 跳频干扰机原理框图

2 硬件实现

高速跳频图案的识别与跟踪必须在很宽的频带、很短的时间内完成,数字信号的处理量很大。传统的集成电路和软件实现的方法存在带宽及运算速度的瓶颈。为了尽量缩短处理时间,本文采用了具有高速数据处理能力的SOPC技术,通过嵌入式CPU及DSP内核实现了宽带、实时的信号处理。SOPC就是将系统的功能在一片超大规模可编程逻辑器件上实现。

硬件实现如图3所示,由高速A/D转换器、Altera公司的Stratix系列可编程逻辑器件和高速DDS组成。系统的数据处理和复杂逻辑功能均在一片Stratix器件内实现。Stratix器件内部包括时频分析、嵌入式CPU、跳频图案识别及其存储等。其中时频分析部分由加窗变换、读、写地址产生器、读、写存储器,STFT等组成。

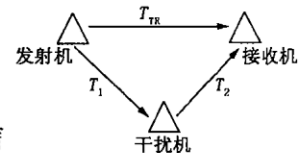


图2 干扰机布站图

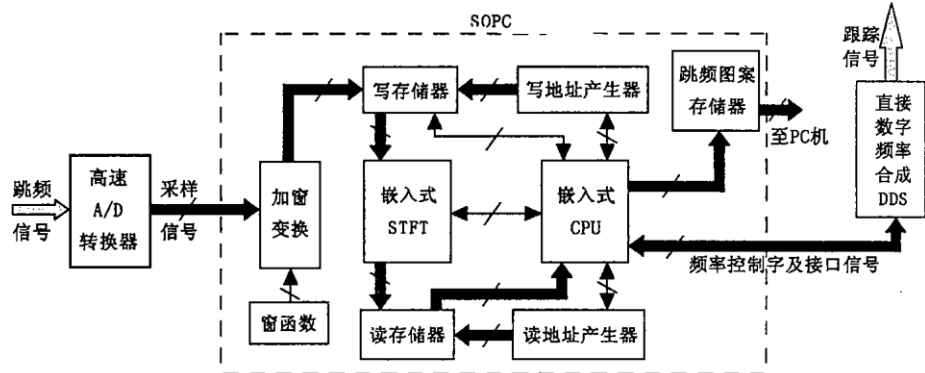


图3 硬件实现框图

跳频模拟信号经高速A/D变换形成数字信号,经加窗变换后送入写存储器,再经STFT进行高速时频分析。运算完成后,将运算结果读出并送往嵌入式CPU。嵌入式CPU主要完成跳频点识别、频率控制字形成、误差调整、同步及控制信号产生等四项功能。CPU将频率控制字及同步信号送入直接数字频率合成器(DDS),从而输出跟踪信号;同时将识别出的频率点对应时序送入跳频图案存储器,再送入PC机,实现跳频图案的实时存储。

3 性能分析与测试

由于实验室没有真正的跳频电台,采用DDS技术模拟跳频源。因此,整个测试系统硬件模块见图4。

该系统的仿真测试是用 MATLAB 编程模拟产生加噪后的跳频信号源并生成向量文件 test. vec, 具体过程略。然后将该文件导入 Quartus II 的仿真系统进行时序仿真和功能仿真。仿真结果见图 5。writereal [8..1] 和 writeimag[8..1] 分别是用 MATLAB 编程模拟产生的经 A/D 采样后的两路正交的跳频信号。模拟的跳频信号是 10 000 h/s, 带宽为 50 MHz, 频率间隔 50 kHz。图 5 为 0 时刻到 90 μ s 的仿真波形, 这段时间小于跳频信号的单频驻留时间 100 μ s, 此时模拟的跳频信号的瞬时频率为 32.55 MHz。address[10..1] 为运算得出的 10 位频率控制字(自然二进制码)。由图中可看出在 end(完成)信号(窄脉冲)产生后频率识别字为:1010001011, 即十进制的 651。由此可以计算得到跟踪信号的频率为:50 kHz(频率间隔) \times 651(频率字) = 32.55 MHz。经过编译并下载入芯片后, 经测试的结果与仿真结果一致。

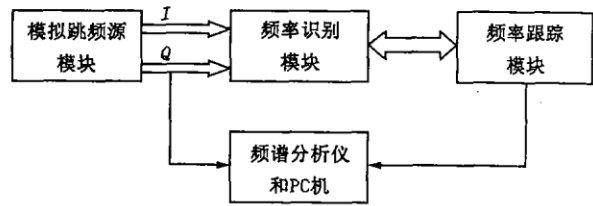


图 4 测试框图

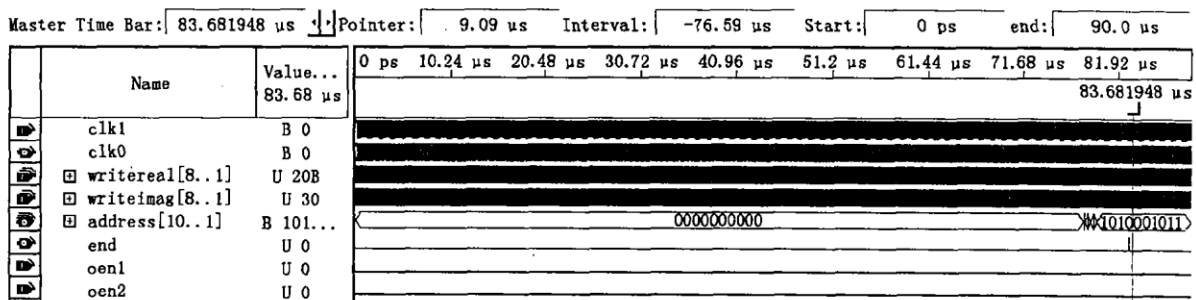
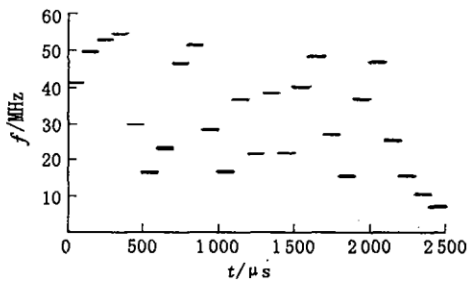


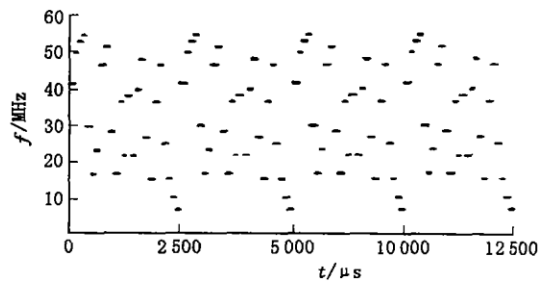
图 5 一跳驻留时间内的仿真波形

这个结果与模拟的跳频信号瞬时频率完全一致, 从图 5 可以看出信号处理的延迟时间(包括采样时间、运算时间和数据输入输出时间)为 83.7 μ s, 完成了频率识别的功能。

图 6 给出了模拟的 10 000 跳/s 的跳频图案和经过识别后存储在 PC 机中的跳频图案。从图 6 可以看出识别出的跳频图案与频率源模块产生的跳频图案一致, 但跳频点的驻留时间有明显的差异。这是因为跳频信号的驻留时间 100 μ s 已经接近于频率识别的时间 83.7 μ s。



(a) 模拟跳频源的跳频图案



(b) 识别出的跳频图案

图 6 实际测试结果

4 结束语

本文提出了一种基于时频分析理论的高速跳频跟踪干扰机的实现方案。详细论述了时频分析的方法和流程。在此基础上, 运用 SOPC 技术硬件上实现该方案。最后经过性能分析与实际测试得出结论: 该系统可识别、跟踪 10 000 跳/秒的超高速跳频系统, 干扰 2 000 跳/s 的高速跳频电台。本文所作的工作, 可用于高速电子侦察、监视、预警系统, 中高速跳频跟踪干扰机, 并可用于高速跳频电台的设计及研制。

(下转第 47 页)

(上接第7页)

参考文献:

- [1] Kaleb G K. Performance Comparison of Frequency - Diversity and Frequency - Hopping Spread - Spectrum Systems[J]. IEEE Trans COM,1997,45(8):910 - 912.
- [2] Pei D. Frequency - hopping Spread Spectrum Receiver Synchronization Using Real Time Fourier Transform of the Input Signal [J]. Proceedings - IEEE Military Communications Conference,1984,1:115 - 119.
- [3] 王爱粉,刘 炯,苟彦新. 超短波跳频信号的侦察方案探讨[J]. 空军工程大学学报(自然科学版)2002,3(1):43 - 45.
- [4] Du xingmin, Ru Le, Zhang Daokui. Application of the Technology of SOPC in High - Speed Frequency - Hopping Interference System[J]. Proceedings - ICES 2001,(1):135 - 140.
- [5] 张贤达. 现代信号处理[M]. 北京:清华大学出版社,1995.

(编辑:姚树峰)

On the Realization of High - Speed HF Scout Jammer Based Time - Frequency Analysis and SOPC Technology

RU Le, DU Xing - min, YAN Tao, TANG Hong

(The Engineering Institute, Air Force Engineering University, Xi'an, Shaanxi 710038, China)

Abstract: According to the basic theory of follower jammer, this paper proposes a scheme of High - speed HF jammer based on time - frequency analysis theory. This scheme can be realized in FPGA by SOPC technology. Through the analysis of capability and actual test, it can not only interfere the high - speed HF system at 2000h/s but also identify and follow the high - speed HF system at 1000h/s.

Key words: follower jammer; time - frequency analysis; SOPC; straitix; quartus II