

频率合成器中延时线鉴频技术研究

刘祖深, 王积勤

(空军工程大学 导弹学院, 陕西 三原 713800)

摘要:详细讨论了具有延时鉴频器反馈网络的低相噪频率合成器的设计技术,对延时鉴频器的传递函数和环路相噪进行了深入地分析。延时鉴频技术运用于单环频率合成器实现了 15 dB 以上的相噪改善,并且没有太大地改变 VCO 调谐特性。

关键词:延时鉴频器;锁频环路;相位噪声

中图分类号:TN74 **文献标识码:**A **文章编号:**1009 - 3516(2004)05 - 0046 - 04

单环频率合成器采用一个 PLL 和 VCO,由于没有外差环节,避免了多环结构内部的干扰和交调,在避免分频器反向泄漏后,输出信号具有很好的杂散指标。然而,单环结构必须解决的关键技术是高频分辨率和低相位噪声。小数分频器解决了高频分辨率技术难点,使单环频率合成器成为首选设计方案。随着输出频率的提高,由于较大的倍乘因子造成相噪指标的急剧恶化,限制了单环频率合成在高纯源中的进一步拓展。虽然可以进一步提高频率参考来减小倍乘因子,也可以通过改变环路带宽达到优化相噪的目的,但是,有些方法受限于现有器件水平,有些则是损失频率转换时间和捕获性能为代价的一种折衷处理。延时鉴频技术极大地改善了相位噪声,并在高纯源的设计中占有突出的地位。

1 延时鉴频器结构配置及传递函数

延时鉴频器的结构如图 1 所示。输入信号通过功分器被分成两路,其中一路经过延时网络,任何频率的变化将产生附加相移,两路信号在低噪声鉴相器上检出相位误差信号,反馈到 VCO 的控制端,系统的负反馈改善了 VCO 的相位噪声。鉴相器的输出正比于输入信号相位差的余弦,为保证输入信号正交,分别在两路设置可变移相器。定义传递函数为输出相位 ϕ_0 和控制信号 V_i 之间的关系。根据负反馈理论,传递函数的表达式为

$$\phi_0(s)/V_i(s) = H_1(s)/[1 + H_1(s)H_2(s)H_3(s)] \quad (1)$$

式中: $\phi_0(s)$ 为 VCO 相噪的 Laplace 变换形式; $H_1(s)$ 为 VCO 的传递函数, $H_1(s) = \phi_0(s)/V_c(s)$; $H_2(s)$ 为噪声鉴频器的传递函数, $H_2(s) = V_d(s)/\phi_0(s)$; $H_3(s)$ 为增益单元的传递函数, $H_3(s) = V_n(s)/V_d(s)$ 。

假设 VCO 调谐灵敏度为 K_v ,鉴相器增益为 K_d ,可变相移器增益为 K_s ,增益单元的比例增益为 A_0 和谐振频率为 ω_0 ;相移控制器的谐振频率为 ω_1 ,令 $\omega_2 = K_d K_s \omega_1$, $G_0 = K_v K_d \tau A_0 + 1$ 表示整个反馈系统的增益。可以推出关系式: $H_1(s) = \phi_0(s)/V_c(s) = K_v/s$, $H_2(s) = s(sK_d\tau)/(s + \omega_2)$ 和 $H_3(s) = -A_0\omega_0/(s + \omega_0)$,带入式(1)后得到传递函数为^[1]

$$\phi_0(s)/V_i(s) = K_v(s + \omega_0)(s + \omega_2)/\{s[s^2 + s(\omega_0 G_0 + \omega_2) + \omega_0\omega_2]\} \quad (2)$$

假设鉴频器反馈环路呈开路状态,并在求和端口上施加一个无噪直流调谐电压,使 VCO 输出的噪声量

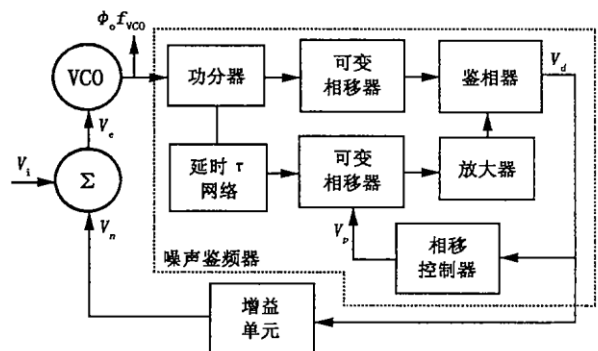


图1 延时鉴频原理框图

收稿日期:2004 - 03 - 19

作者简介:刘祖深(1961 -),男,四川重庆人,研究员级高工,博士生,主要从事微波通信测量仪器的研发工作;
王积勤(1935 -),男,山东龙口人,教授,博士生导师,主要从事电磁场与微波技术研究。

值恒等于内部产生的噪声,噪声可以用一个具有平坦频谱的调制噪声电压任意地表示,等效表示为 $\varphi_o(s) = V_\varphi K_v/s$ 。因此,式(2)变为

$$\varphi_o(s) = (V_\varphi K_v/s)(s + \omega_0)(s + \omega_2) / \{s[s^2 + s(\omega_0 G_0 + \omega_2) + \omega_0 \omega_2]\} \quad (3)$$

假设 $\omega_0 G_0 \gg \omega_2$ 方程简化为

$$\varphi_o(s) = (V_\varphi K_v/s)(s + \omega_0)(s + \omega_2) / [(s + \omega_0 G_0)(s + \omega_2/G_0)] \quad (4)$$

显然,传递特性的极点和零点将输出相噪特性分割成4个截然不同的区域,如图2所示。在 ω_2/G_0 和 $\omega_0 G_0$ 整个区间上的相噪低于 VCO 单独的噪声响应 $V_\varphi K_v/\omega$,在 ω_2 和 ω_0 区间上的相噪,是原 VCO 相噪除以增益 G_0 ,并表现出新的调谐灵敏度。在 ω_2/G_0 到 ω_2 和 ω_0 到 $\omega_0 G_0$ 区间内,相噪也有相应的改善。低于 ω_2/G_0 和高于 $\omega_0 G_0$ 区域上的相噪和 VCO 单独时的情况一致。上述结果表明了网络在两个传输极点之间的频率范围内形成了有效的负反馈,通过适当设计传输函数的极点和零点,可以充分地降低输出信号的相噪,并保证正常的频率调谐控制。根据现有器件的性能,增益单元可获得较低的噪声系数,环路性能主要由噪声鉴频器确定,其中的低损耗延迟网络、移相器和低相噪鉴相器成为设计中的关键。

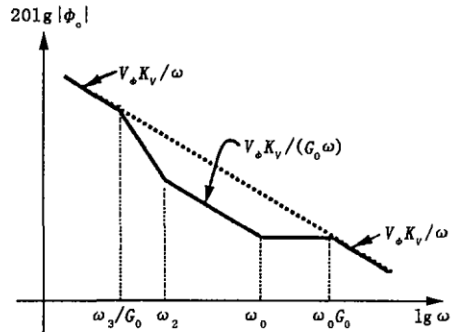


图2 闭环与开环 VCO 相噪特性

噪声的降低不会超过噪声鉴频器和增益单元的噪声基底。一直被工程采用的 Leeson 相噪模型,单边带相噪频谱表示如下^[2]:

$$L(f) = (FkT/2P_o)[1 + (f_o/2Q_L f)^2] \quad (5)$$

式中: F 为有源器件噪声系数; k 为常数; T 为温度(K); P_o 为输出功率; f_o 为载波频率; Q_L 为有载谐振因子; f 为频偏。在 -20 dB/10 倍频程对应的频偏范围内,相噪近似为

$$L(f) = (kTF/2P_o)(f_o/2Q_L f)^2 \quad (6)$$

我们把鉴频器环路与振荡器视为整体,并设 P_A 为延时网络输出的有效功率, F 是图1中放大器的噪声系数, $f_o/(2Q_L)$ 为 $1/(2\pi\tau)$,通常定义为延时网络的“有效半带宽”。则相对于 1 Hz 带宽的输出信噪比为

$$S/N = 10 \lg[(2P_o/kTF)(2\pi\tau f)^2] \quad (7)$$

式(7)表明,参数 P_A , F 和 τ 的设计水平决定最后信噪比指标,在 20 kHz 频偏处,通常可以获得 140 dB/Hz 的理论性能极限。

2 FLL + PLL 单环频率合成器的结构与相噪分析

将延时鉴频技术与锁相技术结合构成的单环频率合成器如图3所示。定义整个环路的传递函数为输出相位 φ_o 和参考相位 φ_i 之间的比值关系,可以推出传递函数为

$$\varphi_o(s)/\varphi_i(s) = K_v K_\varphi (s + \omega_0)(s + \omega_2) / [s^3 + s^2(\omega_0 G_0 + \omega_2 + \omega_3) + s(\omega_0 \omega_2 + \omega_0 \omega_3 + \omega_2 \omega_3) + \omega_0 \omega_2 \omega_3]$$

式中: K_φ 是锁相环路的鉴相器增益; $\omega_3 = K_v K_\varphi/N$ 。在 ω_2 小于 $0.2\omega_3/G_0$ 成立的情况下,上式可以简化为

$$\varphi_o(s)/\varphi_i(s) = K_v K_\varphi (s + \omega_0) / [(s + \omega_3/G_0)(s + \omega_0 G_0)] \quad (8)$$

假设将幅度为 V_φ 的平坦噪声源注入到 VCO 的求和点上,去调制一个无噪的 VCO,依据式(8)得到的系统输出为

$$\varphi_o(s) = V_\varphi K_v (s + \omega_0) / [(s + \omega_3/G_0)(s + \omega_0 G_0)] \quad (9)$$

锁频/锁相环路相噪传递函数特性与输出相噪曲线如图4和图5所示。图4中的虚线为噪声抑制通路开路后,锁相环路和频率控制通路所展现出的幅度响应。在小于 ω_3 的频率区间内为 N ,大于 ω_3 后,以每 10

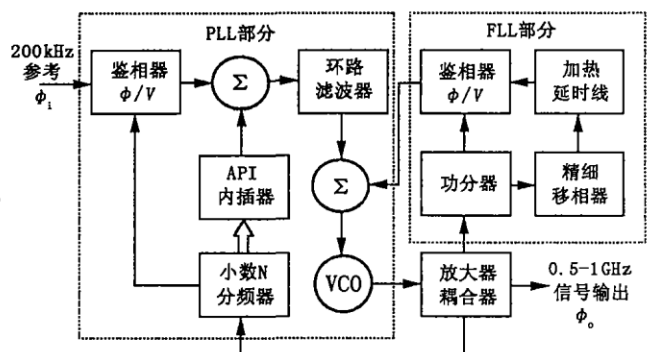


图3 锁频锁相实验方框图

倍频程 20 dB 的速率下降。在频偏小于 ω_3/G_0 时,传输特性与通常锁相环一致, ω_3/G_0 决定了整个环路带宽。当 $\omega_2 < \omega_3/G_0 < \omega_0$ 时,环路保持稳定,调谐特性和具有同样交点频率的通常锁相环路的调谐特性一致。从图 5 可以得到输出相噪的改善情况,在系统带宽 ω_3/G_0 内,相噪为 NV_ϕ/K_s ,它和仅有锁相环存在的情况相比,改善了 G_0 倍,在 ω_3/G_0 到 ω_0 区间内,也获得同样的改善效果,在 ω_0 和 $\omega_0 G_0$ 区间内,改善效果与频偏有关。虚线表示没有鉴频通路,并且减小鉴相增益系数 G_0 倍来满足在同样的系统带宽 ω_3/G_0 条件下的相噪曲线。

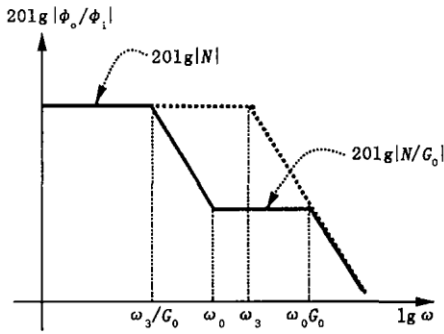


图 4 相噪传递函数特性曲线

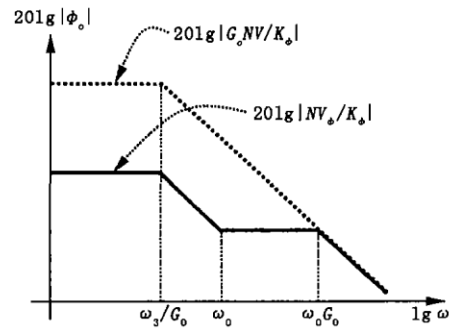


图 5 环路输出相噪特性

锁频锁相环的合成相噪曲线如图 6 所示,曲线 1 为 VCO 的相噪曲线,鉴频鉴相环路运用后,可获得曲线 2、3 所示的结果。输出相噪先是以锁相环 PLL 确定的相噪曲线的斜率下降,取决于参考源相噪和 PLL 基底。然后,以 30 dB/10 倍频程的斜率沿着锁频环 FLL 噪声下降,经过 FLL 拐点频率后,按照 20 dB/10 倍频程的斜率下降。当频偏达到 FLL 反馈增益单元的谐振频率时,曲线斜率变成零,达到 FLL 稳定化的 VCO 噪声基底电平,并且在超出 FLL 带宽之前保持平坦。在较高偏离时,相噪将跟随 VCO 的相噪特性。

3 实验结果

实验采用了具有高分辨率和低相噪的单环频率合成结构,如图 3 所示。其中,VCO 频率范围 500 MHz ~ 1 000 MHz,鉴相参考频率 200 kHz,运用小数分频实现 0.01 Hz 的频率分辨率,采用模拟相位内插(API)技术获得 80 dB 的小数分频尾数杂散的抑制。采用本文介绍的延时鉴频技术实现了低相噪指标,输出载频为 1 000 MHz 时,用 HP3048A 相噪测试系统测试的结果如图 7 所示。其中一条曲线是采用 PLL 输出相噪曲线,另一条是采用 PLL + FLL 输出相噪曲线。输出相噪在 100 Hz 频偏内由锁相环决定,在 100 Hz ~ 1 MHz 频偏区间则由锁频环决定,1MHz 以远就是 VCO 自由振荡时的相噪曲线。可见,在 10 kHz 以远由鉴频环确定的频偏内,输出相噪达到高纯源的相噪要求。

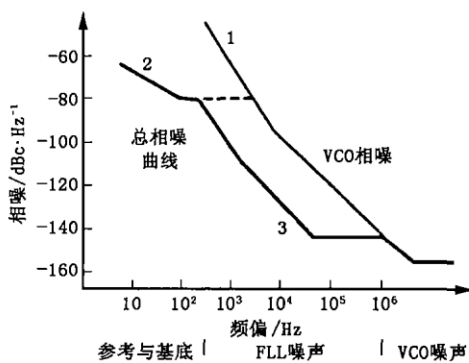


图 6 PLL 和 FLL 环路的合成相噪曲线

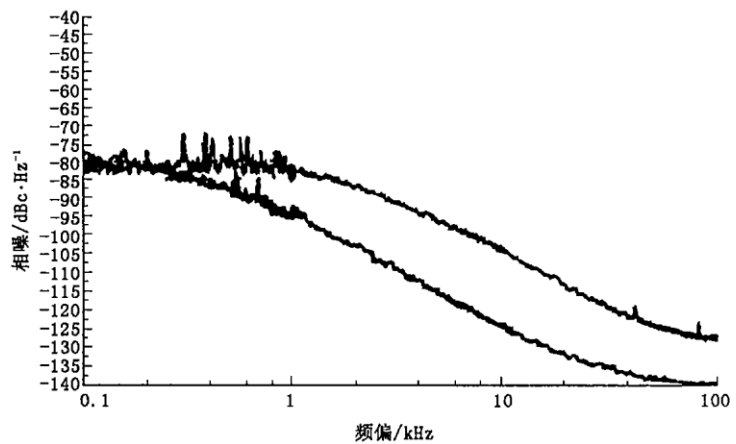


图 7 鉴频鉴相单环频率合成器输出相噪曲线

由于在功分后的两条通路中运用较少的有源器件,故加性相噪极小。鉴相器的变频损耗、鉴相器的加性相位噪声和放大器的等效输入噪声成为影响锁频环路相噪的主要因素。

延时网络的选取与制造也是设计的重点,实验中的延时网络采用 13.3 m 长的 50 W 半刚同轴电缆制

成,完成约 70 ns 的时延。同轴电缆可以很好地满足非色散延时网络的设计要求,利用加温至 70℃ 方法解决延时线的温度稳定性。在 500 MHz ~ 1 000 MHz 范围内,群时延波动优于 0.5 ns,损耗小于 5 ~ 6 dB。功分器采用 4 线兰格耦合器,设计成 -1 和 -7 dB 的功分特性,以补偿延迟线的损耗,使输入至鉴相器的信号功率相等。应该指出,电缆组件在设计加工时采取了必要的工艺措施,既减小组件的体积,又解决了因过小的曲率半径而导致的 700 MHz ~ 800 MHz 频率范围内群时延特性大约 5 ns 的剧烈波动。

综合考虑了相噪、延时网络的损耗、鉴频环路允许的调制速率和噪声峰化等因素的影响,时延 τ 选取 70 ns 是比较合适的。虽然式(9)表明可以选用较大的时延 τ 来获得优越的相噪性能,但在方程的推导中,已经忽略了延时网络的非理想特性,并假设 FLL 环路的鉴相器输出变化相对较小,而且,在调制速率相对较低的条件下,使得关系式 $dV_d/d\omega = K_d\tau$ 能充分满足。实际上,在 $\omega = \pi/\tau$ 处,鉴频环路的传递函数已经降低了约 4 dB,并有 $\pi/2$ 相移,鉴频环路趋于自激振荡。必须在鉴频环路的增益单元中,在 $\omega = \pi/\tau$ 处增加一个附加零点,使得此处的增益提高 3 dB,并且减小 $\pi/4$ 相移量,使系统达到无条件的稳定并具有 $\pi/4$ 相位余量。

锁频环路的带宽可以设计的很宽,但由于相位和增益余量的问题,锁频环路带宽也不适合太宽,如果 ω_3/G_0 接近于 ω_0 ,在 ω_3/G_0 附近, $\varphi_o(\omega)/\varphi_i(\omega)$ 的幅度有峰化现象。通常选取 1 MHz 的锁频环路带宽是比较合适的,可以获得 15 ~ 20 dB 的相噪改善。

RE

4 结束语

延时鉴频技术改善了两个传递函数极点频偏范围内(1 kHz ~ 1 MHz)的相噪指标,解决了高性能合成器设计的关键技术,使单环频率合成器在高纯源的设计中占有突出的地位。延时鉴频技术运用在频率捷变源中,利用 FLL 环路实现频率捷变,可以获得优于 5 μ s 的频率转换时间,具有广阔地运用前景。

参考文献:

- [1] Donald G. Meyer. Controlled frequency signal source apparatus including a feedback path for the reduction of phase noise [P]. US PAT 4 336 505, 1982. 7.
- [2] Ulric L, Rohde, Frank Hagemeyer. Feedback Technique Improves Oscillator Phase Noise[J]. MICROWAVES&RF, 1998, (11): 61 - 70.
- [3] 白居宪. 低噪声频率合成器[M]. 西安:西安交通大学出版社, 1995.

(编辑:田新华)

Research on Delay - Line Discrimination Technique in Frequency Synthesizer

LIU Zu - shen, WANG Ji - qin

(The Missile Institute, Air Force Engineering University, Sanyuan, Shaanxi 713800, China)

Abstract: In this paper, the design technique of low phase noise frequency synthesizer with a time delay frequency discriminator feedback network is discussed in detail, the transfer function of the delay - line discriminator and the phase noise of the loop are analyzed in depth. By using the delay line discrimination technique, the improvement of the phase noise higher than 15 dB in the single loop frequency synthesizer is obtained without substantially altering the VCO tuning characteristics.

Key words: delay - line discriminator; frequency - locked loop; phase noise