

# 一种单电子晶体管的 Spice 模型

孙铁署, 蔡理, 陈学军

(空军工程大学 工程学院, 陕西 西安 710038)

**摘要:**基于单电子晶体管数学分析模型,提出了它的 Spice 模型。该模型由一个电压控制电流源、一个电压控制电压源和一个电压源构成。与半分析模型相比较,该模型准确地表现了单电子晶体管的 I-V 特性。利用该模型,分析了单电子反相器和改进了二叉判别图基本单元。

**关键词:**单电子晶体管;Spice 模型;单电子反相器;二叉判别图

**中图分类号:**TN321 **文献标识码:**A **文章编号:**1009-3516(2003)06-0065-03

单电子晶体管(Single Electron Transistors, -SETs)被认为是制造下一代低功耗、高密度超大规模集成电路的基本器件,因为这种晶体管工作仅需一个或几个电子,所以具有极低的功耗和极高的开关速度<sup>[1]</sup>。近十几年来,国内外对 SET 的 I-V 特性及电路的分析主要采用解主方程方法和蒙特卡洛方法<sup>[2-4]</sup>,二者都有各自的局限性。解主方程方法是从宏观的角度来模拟单电子电路可能的状态及状态间的转换,适合于少 SET 电路分析;蒙特卡洛方法依据一定的概率模型,利用计算机模拟 SET 电路实际电子的输送过程,它以隧穿几率为基础,适合多 SET 电路分析。二者都需要很长的仿真时间且不适合 CMOS-SET 混合电路仿真。在不考虑 SET 之间库仑相互作用,即 SET 之间相互独立时,建立出单个 SET 的 Spice 模型,可以加快分析 SET 及 CMOS-SET 混合电路。该模型是从 SET 的数学分析方程出发建立的,通过与 SET 的半分析模型相对比,它很好的表现了 SET 的 I-V 特性,在电路的静态和动态分析上表现了它的应用前景。利用该模型,分析了单电子反相器,改进了二叉判别图基本单元。

## 1 单电子晶体管的数学分析模型

SET 由源极、漏极、与源漏极耦合的量子点(岛)、两个隧穿结和以及用来调节量子点化学势即控制量子点中电子数的栅极组成。在逻辑应用中,双栅极 SET 得到了越来越多的重视,所以,SET 可以等效为一个四端元件,见图 1。

Uchida 等人于 2000 年提出了 SET 的一个数学模型<sup>[5]</sup>。当 SET 的岛上有 N 或 N+1 个电子时 I-V 特性方程为

$$I_{SET} = e(\bar{V}_{cg}^2 - \bar{V}_{ds}^2) \sinh(\bar{V}_{ds}/T) / 2R_{\Sigma} C_{\Sigma} [\bar{V}_{cg} \sinh(\bar{V}_{cg}/T) - \bar{V}_{ds} / \sinh(\bar{V}_{ds}/T)] \quad (1)$$

式中:  $T = 2k_B T C_{\Sigma} / e^2$ ,  $R_{\Sigma} = R_s + R_d$ ,  $C_{\Sigma} = C_s + C_d + C_{cg} + C_{sg}$ ,  $\bar{V}_{ds} = C_{\Sigma} V_{ds} / e$ ,  $\bar{V}_{cg} = 2C_{cg} V_{cg} e - (C_s + C_d + C_{cg} - C_{sg}) V_{ds} / e - 1 - 2(M + N)$ 。  $V_{ds}$  为 SET 的漏极到源极偏置电压;  $V_{cg}$  和  $V_{sg}$  为双栅极电压;  $C_{\Sigma}$  为与 SET 的岛相连的源极电容  $C_s$ 、漏极电容  $C_d$  及栅极电容  $C_{cg}$ 、 $C_{sg}$  之和;  $C_{\Sigma}$  为漏极电阻  $R_d$  与源极电阻  $R_s$  之和;  $e$  为电子电荷;  $T$  为绝对温度;  $k_B$  波尔兹曼常数;  $M + N$  为岛上的电子数( $M$  为由  $V_{sg}$  感生的电子数,  $N$  为背景电荷数)。在电路应用中,栅极电压  $V_{cg}$  为输入电压,而  $V_{sg}$  为控制电压源,主要目的是控制岛上的电子数,在偏置电压  $V_{ds}$  为恒值时,达到控制  $V_{cg}$  的目的,从而使电流相位发生偏移。如果  $V_{sg} < 0$  且  $|V_{sg}|$  较大时,会产

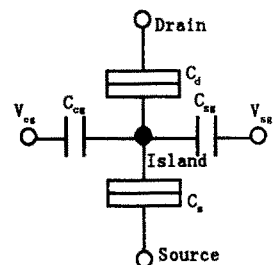


图1 单电子晶体管的等效示意

收稿日期:2003-05-12

基金项目:陕西省自然科学基金资助(2002F34);空军工程大学学术基金资助(2002X12)

作者简介:孙铁署(1972-),男,河北沧州人,工程师,硕士生。主要从事单电子器件理论及应用研究;

蔡理(1959-),女,福建永春人,教授,博士,主要从事模拟集成滤波器、单电子器件理论及应用等研究。

生较高的势垒,阻碍了隧穿电流的产生。当考虑背景电荷数为0时,周期性函数  $\bar{V}_{cg}$  可以化简为

$$\bar{V}_{cg} = 2[C_{cg}(V_{cg} - \Delta V)/e - \text{int}(C_{cg}(V_{cg} - \Delta V)/e + 0.5)] \tag{2}$$

这里  $\text{int}(x)$  为  $x$  的整数,相位偏移为  $\Delta V = e/2C_{cg} + (C_s + C_d + C_{cg} - C_{ng})V_{ds}/2C_{cg} - 2C_{ng}V_{ng}/C_{cg}$ 。

该数学模型不仅适用于一个栅极而且适用于双栅极 SET,可以很好的描述 SET 的 I - V 特性。

### 2 单电子晶体管的 Spice 模型的建立及仿真

通过以上分析可以看出,1 个 SET 由漏极与源极偏置电压及 2 个栅极电压控制。在 Spice 软件中,对于多项式受控源,可以使用非线性系统。式(1)中通过 SET 的电流  $I_{SET}$  为  $V_{ds}$ 、 $V_{cg}$ 、 $V_{ng}$  等 3 个电压源的函数,所以可等效为 1 个电压控制电流源  $G$ 。式(2)中  $\bar{V}_{cg}$  为  $V_{ds}$ 、 $V_{cg}$ 、 $V_{ng}$  等 3 个电压源的函数,可以等效为 1 个电压控制电压源。对于控制源  $V_{ng}$ ,如果  $V_{ng} < 0$  且  $|V_{ng}|$  较大时,会产生较高的势垒,阻碍了隧穿电流的产生。在逻辑分析中,常把  $V_{ng}$  等效为 1 个脉冲电压,等效为时钟信号。基于以上分析,得出了 Spice 模型,见图 2。

取 SET 的各参数分别为:  $C_s = C_d = 1 \text{ aF}$ ,  $C_{cg} = 2 \text{ aF}$ ,  $C_{ng} = 0.8 \text{ aF}$ ,  $R_s = R_d = 1 \text{ M}\Omega$ ,  $V_{ds} = 15 \text{ mV}$ ,  $V_{ng} = 0 \text{ V}$  及  $T = 5 \text{ K}$  时,得出隧穿电流  $I_{SET}$  相对于  $V_{cg}$  的变化情况,见图 3。通过对比可以看出:Spice 模型仿真结果很好的逼近了半分析模型仿真结果<sup>[6]</sup>,仿真曲线很好的表现了库仑振荡特性。

进一步分析得:随着  $V_{ds}$  的增长,库仑阻塞区逐渐减小,隧穿区逐渐增大。在 SET 的数字逻辑应用中,应使偏置电压  $V_{ds}$  工作在一个相对小的范围内,有效的利用 SET 导通(隧穿)区和截止(库仑阻塞)区。另外,改变  $V_{ng}$  可以使相位发生偏移: $V_{ng} < 0$  时,相位向右移动; $V_{ng} > 0$  时,向左移动。当  $|V_{ng}| = e/2C_{ng}$  时,相位向左或右移动  $180^\circ$ 。图 3 中,“o”为  $C_{ng} = 0.8 \text{ aF}$ ,  $V_{ng} = -e/2C_{ng} = -100 \text{ mV}$  时  $I - V$  特性,可以看出相位右移  $180^\circ$ 。这主要是因为随着感生电荷的增加或减少,为了产生隧穿电流,  $V_{cg}$  必须调整电压大小。所以  $V_{ng}$  控制了库仑振荡的相位,它的存在与否能使 SET 工作在互补状态,可以称为“P-SET”和“N-SET”,这有利于逻辑电路的分析、构造。但如果  $V_{ng} < 0$  且  $|V_{ng}|$  较大时,会产生较高的势垒,所以  $V_{ng}$  的取值不能太小。

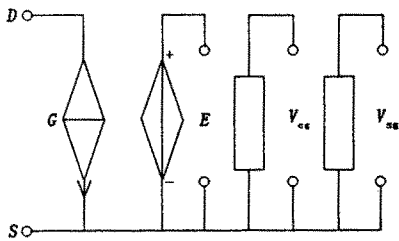


图 2 单电子晶体管的 Spice 模型

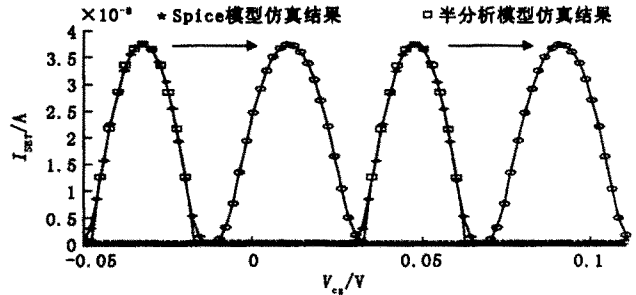
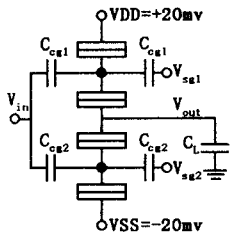


图 3 单电子晶体管的 I - V 特性

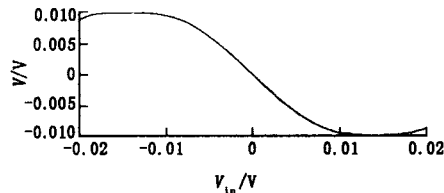
### 3 电路模拟

SET 逻辑单元电路中,SET 反相器类似于 CMOS 反相器,由一个 P-SET 和一个 N-SET 构成,研究者给予了极大的关注<sup>[7]</sup>,见图 4(a)。利用得出的 Spice 模型,我们对反相器进行了直流扫描和瞬态分析。选取参数为:  $C_s = C_d = 1 \text{ aF}$ ,  $C_{cg} = 2 \text{ aF}$ ,  $C_{ng1} = 0.8 \text{ aF}$ ,  $C_{L1} = 0.1 \text{ fF}$ ,  $R_s = R_d = 1 \text{ M}\Omega$ ,  $V_{DD} = 20 \text{ mV}$ ,  $V_{SS} = -20 \text{ mV}$ ,  $V_{ng1} = 100 \text{ mV}$ ,  $V_{ng2} = 0 \text{ V}$ 。图 4(b)和(c)分别为直流扫描和瞬态分析  $V_{out}$  相对于  $V_{in}$  的变化情况。Spice 仿真结果可以很好的表现 SET 反相器的静态和瞬态响应。

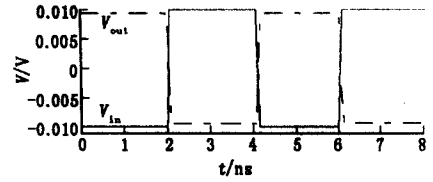
因为 SET 具有隧穿电流小、电压增益低的缺点,所以基于二叉判别图(Binary Decision Diagram, -BDD)的单电子逻辑电路被认为更具发展潜力<sup>[8]</sup>。图 5 为一个改进的 BDD 单元电路。 $V_{c1}$  和  $V_{c2}$  为互补信号,  $V_\phi$  时钟信号,A 为输入信号端,B 和 C 分别为输出信号 1 支路和 0 支路。当时钟信号  $V_\phi < 0$  且  $|V_\phi|$  较大时  $I_{DS}$  为 0。定义  $V_\phi$  矩形脉冲信号,幅值  $-2\text{V}$ ,可以让 SET1 和 SET2 导通或截止。图 6 中,当  $V_A = 15 \text{ mV}$  时,  $V_C = 0.05 \text{ V}$ ,  $V_\phi = 0 \text{ V}$  时隧穿通路为 A - SET1 - B (1 支路);  $V_C = 0 \text{ V}$ ,  $V_\phi = 0 \text{ V}$  时隧穿通路为 A - SET2 - C (0 支路);当  $V_\phi = -2\text{V}$  时两支路都截止。由该单元电路,可以构成:非、与非、或非等各种功能的逻辑门电路,从而可以达到设计大规模集成电路的目的。



(a) SET 反相器示意图



(b) SET 反相器直流扫描分析



(c) SET 反相器直流瞬态分析

图4 SET 反相器分析

### 4 小结

通过理论分析和仿真实现可以看出:该 Spice 模型是由一个电压控制电流源、一个电压控制电压源和一个电压源(在逻辑分析中,常为一时钟信号)构成,它是由  $T$ 、 $V_{ds}$ 、 $V_{cg}$ 、 $V_{sg}$ 、 $C_a$ 、 $C_d$ 、 $C_{cg}$ 、 $C_{sg}$ 、 $R_D$  和  $R_S$  等实际物理参数直接得到的,能更为简单快速的分析 SET 及 SET - CMOS 混合电路,另外还可以进行电路的动态和静态分析。从两个逻辑电路单元设计实例中可以得出,逻辑应用中双栅极 SET 表现了它的应用前景。

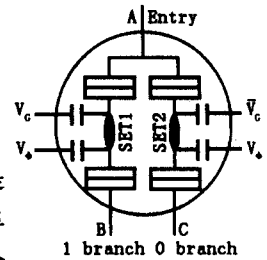


图5 BDD 逻辑电路单元

### 参考文献:

- [1] 蔡理,马西奎. 单电子晶体管(SET)及其应用[J]. 空军工程大学学报(自然科学版),2002,3(6):60-63.
- [2] Wasshuber C. Computational Single - electronics[M]. Wien: Springer - Verlag,2001.
- [3] 王伟,黄岗,张宇. 用分子自组装技术制备的单电子器件的 Monte Carlo 模拟[J]. 物理学报,2002,51(1):63-67.
- [4] 杜磊,庄弈棋,江文平. 单电子晶体管的 I - V 特性数值分析[J]. 西安电子科技大学学报,2002,29:153-156.
- [5] Uchida K, Matsuzava K, Koga J, et al. Analytical single - electron transistor(SET) model for design and analysis of realistic SET circuit[J]. Jpn J Appl Phys,2000,39:2321-2324.
- [6] Mahapatra S, Ionescu A M, Banerjee K, et al. A Quasi - Analytical SET Model for Few Electron Circuit Simulation[J]. IEEE Trans Electron Devices,2002,23:366-368.
- [7] Mahapatra S, Ionescu A M, Banerjee K, et al. Modelling and Analysis of Power Dissipation in Single Electron Logic[J]. IEDM, 2002,21:323-326.
- [8] Asahi N, Akazawa M, Amemiya Y. Single - Electron Device Based on the Binary Decision Diagram[J]. IEEE Trans Electron Devices, 1997, 44:1109-1116.

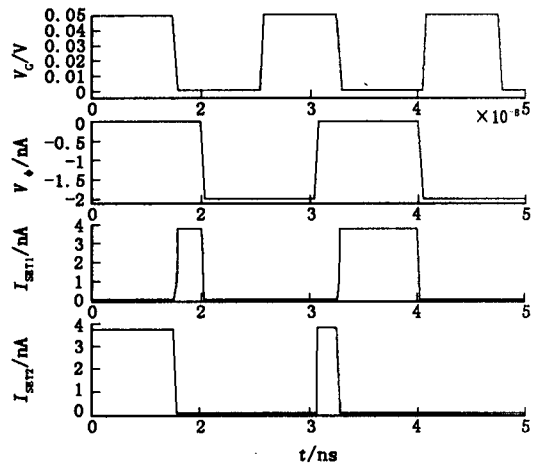


图6 BDD 单元逻辑功能

(编辑:姚树峰)

## A Spice Model for Single - Electron Transistors

SUN Tie - shu, CAI Li, CHEN Xue - jun

(The Engineering Institute, Air Force Engineering University, Xi'an, Shaanxi 710038, China)

**Abstract:** A Spice model is proposed based on the physical model of single - electron transistors (SETs). It consists of a voltage - controlled current source, a voltage - controlled voltage source and a voltage source. Compared with quasi - analytical SET model, the I - V property of SET can be shown accurately. The single - electron inverter is investigated and the unit device for Binary Decision Diagram (BDD) is improved.

**Key words:** single - electron transistors; Spice model; single - electron inverter; binary decision diagram