

CPLD 应用中 VHDL 的优化设计

李若仲, 杨晓蓉, 李兆展

(空军工程大学 导弹学院, 陕西 三原 713800)

摘要: VHDL 语言的优化设计旨在充分利用 CPLD 所提供的硬件资源, 使项目设计能适配到一定规模的 CPLD 芯片中, 并提高系统的工作速度、降低系统功耗。优化的主要目标是减少适配所需要的宏单元数, 对 Lattice 公司的芯片尤其是 GLB 的数目。实践证明, 改变模块结构和描述方法、尽量使模块资源共享、对时序电路工作方式的变通性设计、触发器类型的选择等都是行之有效的优化方法, 可在很大程度上改善项目的适配结果和系统的性能价格比, 在 CPLD 的开发应用中具有很大的应用价值。

关键词: CPLD; 硬件资源; 优化设计; 描述; 性能价格比

中图分类号: TP332 **文献标识码:** A **文章编号:** 1009-3516(2003)02-0074-04

在 CPLD 的开发中, 设计输入方法有原理图输入法、ABEL 或 VHDL 语言输入法等, 采用的输入方法不同, 设计的优化程度有所不同。一般而言, VHDL 语言输入法比原理图输入法更灵活、有效, 可移植性也好^[1], 但一定要注意所用 CPLD 器件的结构特点, 如触发器的类型(D 触发器和 JK 触发器)、可预置性能、清零方式等, 否则设计的模块可能要占用更多的硬件资源, 难以充分利用器件内部所提供的硬件资源。采用 VHDL 设计时, 要注意设计的结构化、层次化和模块化, 但更应注意优化设计, 使芯片达到最佳应用状态, 而优化目标可能是: 资源利用率、速度或功耗。

1 描述方法的优化

用 VHDL 语言设计硬件电路时, 描述方法会影响适配结果, 即硬件资源利用率。若较大的功能模块直接用 VHDL 语言描述, 有时会占用芯片过多的硬件资源, 此时可将大模块合理地分割为小模块, 即改变项目设计的模块结构。Lattice 公司的 isPLSI1032E 在构成 8 位有预置功能的移位寄存器时, 用直接描述其行为和用 D 触发器作为元件来描述, 所用硬件资源差别很大。用 D 触发器作为元件描述时, 只需要 2 个 GLB、8 个宏单元和 16 个积项, 且左移寄存器和右移寄存器所用资源相同; 若用 VHDL 语言直接进行行为描述时, 则需要 11 个 GLB、33 个宏单元和 73 个积项, 两者相差很大。将 8 位移位寄存器作为一个底层模块, 用 VHDL 语言直接进行行为描述时, 其进程描述如下^[2]:

```
PROCESS(CLK)
BEGIN
  IF (LD = 1) THEN
    FOR i IN 7 DOWNT0 0 LOOP
      q(i) <= D(i);
    END LOOP;
  ELSIF (CLKEVENT AND CLK = 1) THEN
    IF (EN = 1) THEN
```

收稿日期: 2001-11-08

基金项目: 军队科研基金资助项目(Y9901)

作者简介: 李若仲(1959-), 男, 山东嘉祥人, 副教授, 主要从事智能检测及控制系统研究。

```

FOR i IN qHIGH DOWNTO qLOW + 1 LOOP
    q(i) <= q(i - 1);
END LOOP;
q(qLOW) <= data_in;
END IF;
END IF;
END PROCESS;
Data_out <= q(7);
END shift8;

```

用 D 触发器作为元件时, 8 位移位寄存器的构造体描述从略。通过调试即可发现, 两种描述方法所设计的移位寄存器的功能完全相同, 但由于描述方法的不同, 编译软件在适配设计时所用的硬件资源相差却很大, 这是目前的编译软件在项目分割、适配设计和指标优化等方面存在的不足。直接进行行为描述时, 程序结构简单, 设计者不需要更多的硬件知识^[3], 只需要把握所描述的模块功能和行为即可, 但占用过多的硬件资源; 用 D 触发器作为元件描述时, 是把移位寄存器作为上层模块, 增加了一个层次, 而且需要设计者熟悉移位寄存器的硬件连接, 但由于能节省很多的硬件资源, 方法是可取的。在实际设计中, 作者发现很多类似的模块都有诸如此类的问题, 如计数器的设计等。所以当某个模块需要的硬件资源比预期的大得多时, 可对模块进行分层、用小模块连接的描述方法进行设计。

计数器的级联、预置和清零方式对适配结果影响也很大, 要根据实际的需要选择一定的工作方式。有时要在满足基本要求的情况下, 改变电路的工作方式, 降低某处的指标而在其它方面采取补救措施, 即实现变通性设计。例如, 波形测量和产生电路需要进制数很大的计数器, 设计中要注意两个问题: 一是计数器要采用多级级联的方法, 如果直接用 VHDL 语言将计数器描述为一个模块, 不便于资源共享, 也很难适配到 CPLD 芯片中, 因为常用的 CPLD 芯片的规模有限, 有时会出现输入项不足等适配错误; 二是级联方式, 按实际需要, 同步级联固然最好, 但仍有可能出现输入项不足等适配错误, 此时只好改用异步级联而在其它方面采取补救措施。补救措施是 CPLD 开发应用中经常遇到的问题, 其关键在于优化模块结构、从时序要求出发连接电路并采用适当的描述方法。

2 资源共享和函数优化

为使器件的资源得到有效地利用, 并降低系统功耗、提高电路工作速度, 在设计中考虑资源共享是很重要的。在单片机和 CPLD 结合使用的系统中, 可能需要 CPLD 提供双向端口和单片机的 P0 口相连, 如果 CPLD 内需要两个或两个以上的 8 位三态缓冲器和 P0 口相连, 可以有两种方法: 一是将每个 8 位三态缓冲器设计为底层模块, 作为顶层模块的元件使用; 另一方法是在顶层设计中用 VHDL 语言的行为描述直接描述总线行为。实践证明, 后者的优化程度比前者要高, 即所占用的硬件资源少。造成上述差别的原因主要是直接描述总线行为时, 可使某些硬件资源共享, 有效地利用 CPLD 所提供的硬件资源。

计数器的进/借位输出即组合电路对资源利用有影响, 而且计数器的进制数不同, 资源利用也不同, 这实际上是函数或组合电路的优化问题。例如, 锯齿波产生电路中 8 位可逆计数器的设计, 要求其正程时间为 200 个时钟周期, 逆程时间为 10 个时钟周期。用 isPLSI1032E 适配的结果是: 具有进、借位输出时需要 14 个宏单元、4 个 GLB 和 50 个积项, 而去掉进、借位输出时只需要 12 个宏单元、4 个 GLB 和 44 个积项, 减少了 2 个宏单元和 6 个积项。进/借位输出与计数器的状态输出端相关的口线数越多(取决于进/借位输出对应的状态), 占用的硬件资源越多, 而进/借位输出往往对应计数器的最大/最小状态, 所以要根据实际的需要尽量优化进/借位输出函数的设计。

在进行系统级设计特别是当系统需要 2 片或 2 片以上的 CPLD 芯片时, 系统内往往含有可公用的小模块。设计中应借助于原理图力求模块公用, 使硬件资源能共享和优化, 这往往需要对系统进行模块化, 特别是对模块细化, 把粒度变得更小才能做到。

3 不同公司的 CPLD 对同一项目的适配结果有所不同

尽管 Altera 公司的 EPM7128S 和 Lattice 公司的 isPLSI1032E 都有 128 个宏单元,但适配同一项目所需要的硬件资源有时相差很大,这主要是因为它们的宏单元结构有很大差异^[4]。例如 21 位可预置计数器的设计,要求其计数规律可变,且具有异步清除、同步预置、计数使能控制的功能,功能表如表 1 所示。

表 1 计数器功能表

EN	LD	CLR	CLK	SEL ₂	SEL ₁	D ₃	D ₂	D ₁	D ₀	功能
X	X	1	X	X	X	X	X	X	X	异步清 0
X	1	0	↑	X	X	d ₃	d ₂	d ₁	d ₀	同步预置
1	0	0	↑	0	0	X	X	X	X	加 1 计数(状态为 1 999 999 时,CO=1)
1	0	0	↑	0	1	X	X	X	X	加 10 计数(状态为 1 999 999 时,CO=1)
1	0	0	↑	1	0	X	X	X	X	加 10 000 计数(状态为 1 999 999 时,CO=1)

当 SEL₂SEL₁ = 00 时为加 1 计数,SEL₂SEL₁ = 01 时为加 10 计数,SEL₂SEL₁ = 10 时为加 10 000 计数,SEL₂SEL₁ = 11 未用,几种计数方式都是状态为 1 999 999 时,CO = 1。简化后的计数进程描述如下:

```
PROCESS (CLK, CLR, EN, LD, SEL2, SEL1)
```

```
BEGIN
```

```
IF CLR = 1' THEN
```

```
FOR i IN 0 TO 20 LOOP
```

```
count_q(i) <= 0;
```

```
END LOOP;
```

```
ELSIF (CLKEVENT AND CLK = 1) THEN
```

```
IF LD = 1' THEN
```

```
FOR i IN 0 TO 20 LOOP
```

```
count_q(i) <= load_data(i);
```

```
END LOOP;
```

```
ELSIF (EN = 1' AND SEL1 = 0' AND SEL2 = 0) THEN
```

```
IF (count_q = 1 999 999) THEN
```

```
FOR ... ..
```

```
ELSE
```

```
count_q <= count_q + 1;
```

```
END IF;
```

```
ELSIF (EN = 1' AND SEL1 = 1' AND SEL2 = 0) THEN
```

```
IF (count_q = 1 999 999) THEN
```

```
FOR ... ..
```

```
ELSE
```

```
count_q <= count_q + 10;
```

```
END IF;
```

```
ELSIF (EN = 1' AND SEL1 = 0' AND SEL2 = 1) THEN
```

```
IF (count_q = 1 999 999) THEN
```

```
FOR ... ..
```

```
ELSE
```

```
count_q <= count_q + 10 000;
```

```
END IF;
```

```
END IF;
```

```
END IF;
```

END PROCESS;

在用 CPLD 实现上述计数器时,如果用 EPM7128S 实现,需要 87 个宏单元,而用 isPLSI1032E 实现,只需要 63 个宏单元。另外,计数器的预置方式会影响适配结果,例如上述的 21 位计数器,若将预置方式改为异步预置,用 isPLSI1032E 实现设计时,需要 117 个宏单元,比同步预置方式多用了 54 个宏单元。

另外,引脚分配和 D 触发器、基本 RS 触发器的选用也影响适配结果。就触发器类型的选用而言,有时用 D 触发器能减少所用的硬件资源,有时用 RS 触发器能减少所用的硬件资源,依赖于实际的系统功能、所用引脚数和 CPLD 芯片的资源利用情况,很难一概而论,只能在设计时通过比较各种方案,选择最佳的设计方案。

4 结束语

由于规模更大的 CPLD 芯片市场货源不足、价格偏高,其开发软件的支持受限等因素,以减少项目所需要的硬件资源尤其是宏单元数为主要目标的优化问题至关重要。另外,优化设计也是降低系统功耗、提高电路工作速度所必需的。优化设计往往费时费力,为减少反复次数、缩短开发周期,设计之初就应注重设计的优化问题,特别是系统级和功能相对复杂的模块设计,模块的结构和层次划分、资源共享、函数优化及时序电路的工作方式选择等应作为优化设计的基本问题着重考虑。借助于原理图和时序关系,优化硬件连接,并采用行之有效的描述方法实现设计。通过优化设计或变通性设计,会使 CPLD 的资源利用率大大提高,有效地提高了系统的性能价格比。

参考文献:

- [1] 孟宪元. 可编程 ASIC 集成数字系统[M]. 北京:电子工业出版社,1998.
- [2] 侯伯彦,顾新. VHDL 硬件描述语言与数字逻辑电路设计[M]. 西安:西安电子科技大学出版社,1999.
- [3] 刘明东,禄东滨. ARINC429 总线接口芯片及接口板的设计与实现[J]. 空军工程大学学报(自然科学版),2001,2(1): 30-32.
- [4] 赵曙光,郭万有,杨颂华. 可编程逻辑器件原理、开发与应用[M]. 西安:西安电子科技大学出版社,2001.

(编辑:田新华)

Optimization Design of VHDL in CPLD Appliance

LI Ruo-zhong, YANG Xiao-rong, LI Zhao-zhan

(The Missile Institute, Air Force Engineering University, Sanyuan 713800, Shaanxi, China)

Abstract: The optimization design of VHDL is for the purpose of making full use of hardware resources provided by CPLD, making the item design suit to certain scale of CPLD chip, increasing the system speed and lowering the power-waste. The intention of optimization is to reduce adapted macrocell numbers, especially the GLE chip numbers of Lattice company. The fact shows that some optimization methods are effective in practice, such as changing the module structure and the method of description, making the module resources shared as much as possible, the versatility design of time-sequence electro-circuit working pattern and the selection of Flip-Flop types, etc. They can improve adaptation result of item and function price ratio to system, VHDL has great value in the exploitation and appliance of CPLD chips.

Key words: CPLD; hardware resources; optimization design; description; function price ratio