

# 一种用 VHDL 设计的全双工异步串行通讯方式

许素红, 朱永文, 张小木  
(空军工程大学 导弹学院, 陕西 三原 713800)

**摘要:**介绍一种用 VHDL(VHSIC Hardware Description Language)语言设计的全双工异步串行通讯,用在分布式测试控制平台中,实现各个组合间的数据通讯。系统采用双时钟设计结构,使得奇校验电路结构简单、易实现。经实验和现场调试完全达到设计要求。

**关键词:** 串行通讯;奇校验;VHDL 语言

**中图分类号:** TN913 **文献标识码:** A **文章编号:** 1009 - 3516(2003)02 - 0049 - 03

ISP(In System Programming)器件 CPLD(Computing Programmable Logic Device)以其良好的系统性能、较强的设计灵活性、较高的逻辑利用率和优越的 E<sup>2</sup>CMOS 工艺而广泛的用在测量控制平台中。本设计就是采用 Lattice 公司高密度在系统可编程芯片 ispLSI1032 和 VHDL 语言设计一种全双工异步通讯方式,实现各个测量控制组合间的数据通讯。

## 1 全双工异步串行通讯规程

为了使通讯能顺序进行,发送方和接收方要共同遵守一些规程<sup>[1]</sup>。在异步通讯中收发双方取得同步的方法是采用在帧数据格式中设置起始位和停止位。其异步传送格式如图 1 所示。通讯的关键不仅是能够传输数据,更重要的是准确的传送,检出差错。在这里采用最低级的错误检测方法:奇校验,即在发送时,在每一帧数据的最高位之后附加一个奇校验位,以保证整个帧数据(包括校验位)为“1”的位数为奇数。若规定数据的最高位 D<sub>8</sub>为奇校验位,其余数据位 D<sub>0</sub>~D<sub>7</sub>为有效信息位,则奇校验位生成公式为

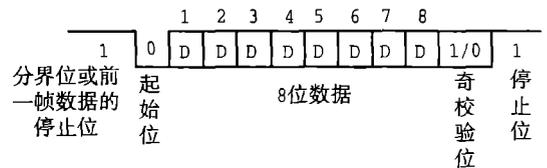


图 1 异步传输格式图

$$D_0 \oplus D_1 \oplus D_2 \oplus D_3 \oplus D_4 \oplus D_5 \oplus D_6 \oplus D_7 \oplus D_8 = 1 \quad (1)$$

即使用 D<sub>8</sub>来保证整个数据帧中“1”的个数为奇数个。

## 2 系统设计

全双工异步串行通讯方式,实质上是两个并行的、在逻辑上独立的单工传输通路。系统结构图如图 2 所示。系统启动后,主控部分一方面检测接收端是否有低电平(起始位)到来,有则启动接收控制脉冲电路进行数据位的接收工作,在检测到帧数据的结束位后停止进行帧数据的接收。另一方面等待指示启动发送控制脉冲电路进行数据位的发送工

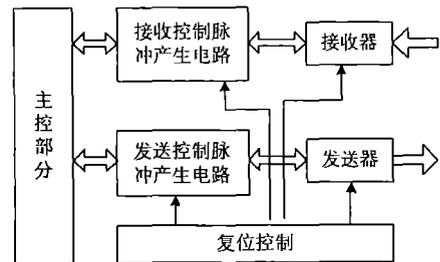


图 2 系统结构框图

收稿日期:2002 - 09 - 26

基金项目:军队科研基金资助项目(KJ01187)

作者简介:许素红(1966 -),女,河南孟津人,讲师,硕士生,主要从事控制系统与仿真研究。

作,首先发送帧数据的起始位,然后是一帧数据,最后是帧数据的结束位。复位控制完成整个系统发送数据位和接收数据位一个周期后的复位工作。

### 2.1 发送器的设计

将 VHDL 语言的寄存器传输 (RTL) 描述方式设计的发送器,进行逻辑综合<sup>[2]</sup>,得到如图 3 所示发送器设计原理图。其中  $U_0$ :8 位可预置右移寄存器,上升沿时钟; $U_1$ :9 进制计数器,带状态输出端  $Q_0Q_1Q_2Q_3$ ,上升沿时钟; $U_2$ :同  $U_1$ ; $U_3$ :不带清零端的 D 触发器,上升沿时钟; $U_4$ :带清零端的 D 触发器,上升沿时钟; $U_5$ :带清零端的二选一数选器,sel = 1 是选中  $D_1$  端。发送控制脉冲产生电路来的脉冲:起始位脉冲、JP\_pulse1、JP\_pulse2、复位脉冲 int\_clr。当主控系统完成 8 位可预置右移寄存器的装载工作后,发出起始位脉冲,脉冲宽度同数据帧格式起始位,使得  $U_5$  输出端清零,发出起始位信号。JP\_pulse1 为计数产生奇校验位,JP\_pulse2 为 8 位右移可预置寄存器的移位脉冲。第 8 个计数脉冲下降沿  $Q_3 \overline{CLK}$  为  $U_1$  的输出状态  $Q_3$  和 JP\_pulse1 的“非”相“与”产生的。8 位可预置右移寄存器的数据输入端为高电平时,当发送完奇校验位后,来了复位脉冲,这时  $U_5$  的 sel = 0,则输出为高电平,也就是发送出停止位。工作时序关系如图 4 所示。

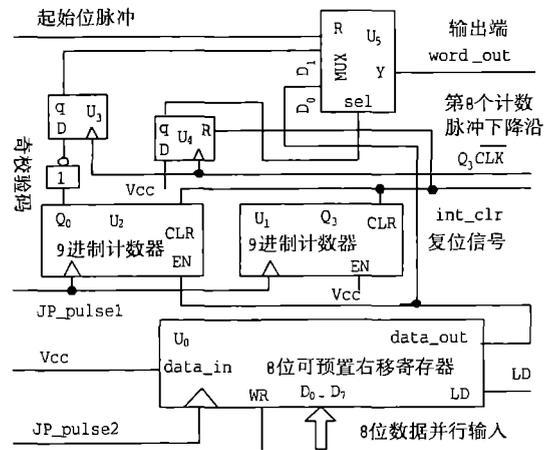


图 3 发送器设计原理图

### 2.2 接收器的设计

接收器 VHDL 语言设计的逻辑综合如图 5 所示的接收器设计原理图。其中  $U_0$ :8 位左移寄存器,上升沿时钟; $U_1$ :不带清零端的 D 触发器,上升沿时钟; $U_2$ :9 进制计数器,带状态输出端  $Q_0Q_1Q_2Q_3$ ,上升沿时钟; $U_3$ :同  $U_2$ ; $U_4$ :带清零端的 D 触发器,上升沿时钟。主控部分检测到输入端有低电平(起始位),发送控制脉冲产生电路则发来:JP\_pulse1、JP\_pulse2 进行数据帧的接收工作。JP\_pulse1 采样输入数据的中部,JP\_pulse2 用来计数产生奇校验位。第 8 个计数脉冲下降沿  $Q_3 \overline{CLK}$  为  $U_3$  的输出状态  $Q_3$  和 JP\_pulse2 的“非”相“与”产生的。接收器接收到的奇校验位与本身收到的前 7 位数据得到的奇校验位相比较产生 err\_flag 信号(出错标志)。接收工作时序图如图 6 所示。

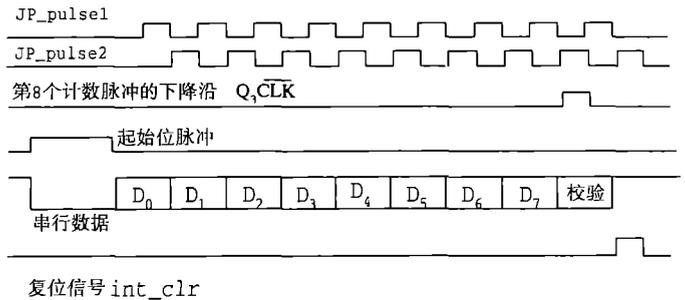


图 4 发送器工作时序图

## 3 VHDL 语言描述

采用 VHDL 语言寄存器传输 (RTL) 描述方式进行各个独立的功能模块设计。这样就形成多层次设计,高层次设计调用低层次设计模块,使得设计结构清晰,容易查找出错。同时又可以根据设计的需要混合使用多种设计手段,如应用 VHDL 语言的基于元件设计的语句与从功能上进行描述的一个进程语句进行混合设计<sup>[3]</sup>,这可以节省 CPLD 的硬件资源。用 VHDL 语言描述如下:

首先定义用寄存器传输 (RTL) 描述方式进行各个独立设计的功能模块:

```
COMPONENT N1
PORT(
```

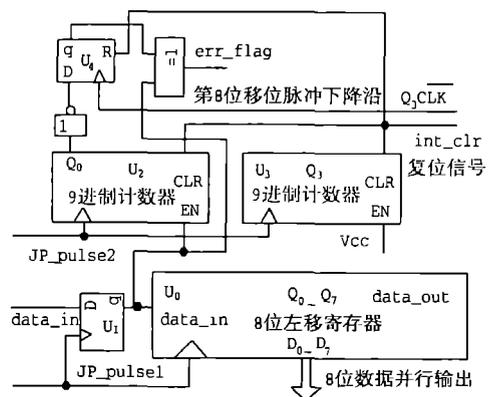


图 5 接收器设计原理图

```

.....INSTD_LOGIC; .....
INSTD_LOGIC;
.....OUT STD_LOGIC);
END COMPONENT;

```

然后采用基于元件设计的语句描述各个功能模块之间的连接关系:

```

U0: NI
PORT MAP (.....);

```

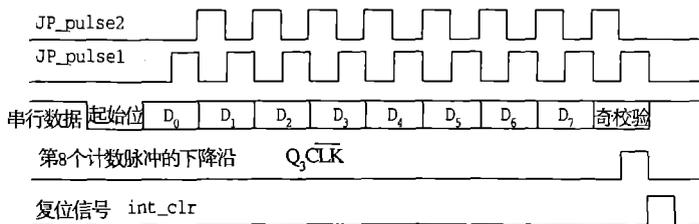


图 6 接收器工作时序图

定义 P00、P01、P02、P03、P04、P05、P06、P07 为通用输入输出端口:

```

ADO_in <= P00; P00 <= ADO_out; AD1_in <= P01; P01 <= AD1_out;
..

```

```

AD6_in <= P06; P06 <= AD6_out; AD7_in <= P07; P07 <= AD7_out;

```

最后使用一个进程来描述是进行读数据还是装载数据:

```

PROCESS (WR,RD)
BEGIN
IF (WR = 1'AND RD = 0) THEN
ADO_in <= data0; AD7_in <= data7;
ELSIF (WR = 0'AND RD = 1) THEN
ADO_out <= Data0; AD7_out <= Data7;
ELSE
ADO_out <= Z'; AD7_out <= Z';
END IF;
END PROCESS;

```

如果用 Lattice 公司的 isPLSI1032E 实现,对总模块编译适配的结果是需要 47 个宏单元、14 个 GLB 和 72 个积项。Lattice 公司的 isPLSI1032E 在构成图 3 所示有预置功能的 8 位移位寄存器时,若直接描述其行为和用 D 触发器作为元件来描述,所用硬件资源差别很大。用 D 触发器作为元件描述时,只需要 3 个 GLB、9 个宏单元和 17 个积项<sup>[4]</sup>;若用 VHDL 直接描述时,则需要 11 个 GLB、34 个宏单元和 75 个积项,这样可以看出如何灵活、综合使用 VHDL 语言的设计语句在硬件电路设计中是非常的重要。

参考文献:

- [1] 侯伯亨,顾 新. VHDL 硬件描述语言与数字逻辑电路设计[M]. 西安:西安电子科技大学出版社,1997.
- [2] 刘笃仁,杨万海. 系统可编程技术器件原理与应用[M]. 西安:西安电子科技大学出版社,2000.
- [3] IEEE std155 - 1992. VXIbus, published by IEEE[S].
- [4] 刘明东,禄东滨. ARINC429 总线接口芯片及接口板的设计与实现[J]. 空军工程大学学报(自然科学版),2001,2(1)30 - 31.

(编辑:田新华)

## A Full - Duplex Asynchronous Serial Communication Way Based on VHDL

XU Su - hong, ZHU Yong - wen, ZHANG Xiao - mu

( The Missile Institute, Air Force Engineering University, Sanyuan 713800, Shaanxi, China )

**Abstract**·This paper presents a full - duplex asynchronous serial communication in the distributed test control platform, realizing the data communication in each combination. The system is of double clock design structure which makes the odd verifying circuit structure simple and easily effected. Through experiment and debugging on the spot, the system can completely fulfill the design requirements.

**Key words**·serial communication; odd verifying; VHSIC hardware description language