

适用于 4 通道 100 Gbps SerDes 的两级架构正交 12.5 GHz 低功耗低抖动时钟发生器

辛可为, 吕方旭✉, 王建业, 王和明

(空军工程大学防空反导学院, 西安, 710038)

摘要 为了缓解多通道 SerDes 中高频时钟信号在长距离传输中引入的噪声过大和功耗过高的问题, 设计了一种应用于多通道的低功耗低抖动两级锁相环结构; 同时为了进一步降低噪声性能, 在第 2 级锁相环中设计了一种采样鉴相器。该设计将第 1 级 LC 振荡器锁相环产生的低频时钟信号(3.125 GHz)传输到各通道收发机后, 将该信号作为第 2 级参考信号, 再采用小面积的环形振荡器锁相环产生正交的高频时钟(12.5 GHz), 这种结构降低了高频时钟在片上长距离传输的距离, 提高了收发机的时钟质量; 此外该技术避免了使用高频缓冲器, 降低了功耗。其中第 2 级锁相环通过无分频鉴相技术提高了第 2 级环振锁相环的噪声性能。该时钟发生器电路整体功耗为 100 mW, 第 1 级锁相环相位噪声拟合后为 -115 dBc/Hz, 第 2 级环形振荡器电路在 1 MHz 处相位噪声为 -79 dBc/Hz, 锁相环电路产生的时钟信号整体抖动为 2.7 ps。正交时钟偏差在 300 fs 以内。相比传统时钟发生器, 该设计性能有较大提高, 功耗有明显降低, 适合应用于 100 Gbps SerDes 中。

关键词 两级锁相环; 采样鉴相器; 环形振荡器; 多通道高速串行接口

DOI 10.3969/j.issn.1009-3516.2019.05.011

中图分类号 TN453 **文献标志码** A **文章编号** 1009-3516(2019)05-0064-06

A 12.5 GHz Clock Generator Applicable for 4-Way 100 Gbps High-Speed Serial Interface Circuits

XIN Kewei, LYU Fangxu✉, WANG Jianye, WANG Heming

(Air and Missile Defense College, Air Force Engineering University, Xi'an 710038, China)

Abstract: In order to alleviate the problem of excessive noise and excessive power consumption introduced by long-distance transmission of high-frequency clock signals in multi-channel SerDes, a low-power low-jitter two-stage phase-locked loop applied to multi-channel serial interface is designed. Simultaneously, this design is used to transmit the low-frequency clock signal (3.125 GHz) generated by the first-stage LC oscillator phase-locked loop to each channel transceiver, this signal is taken as the second-level reference signal, and then a small-area ring oscillator phase-locked loop is used to produce an orthogonal high-frequency clock (12.5 GHz). This structure reduces the distance that the high-frequency clock transmits over long

收稿日期: 2019-04-16

作者简介: 辛可为(1996—), 男, 山东曲阜人, 硕士生, 主要从高速串行接口研究。E-mail: 940904475@qq.com

通信作者: 吕方旭(1988—), 男, 陕西合阳人, 讲师, 主要从事高速串行接口研究。E-mail: lvfangxu1988@163.com

引用格式: 辛可为, 吕方旭, 王建业, 等. 适用于 4 通道 100 Gbps SerDes 的两级架构正交 12.5 GHz 低功耗低抖动时钟发生器[J]. 空军工程大学学报(自然科学版), 2019, 20(5):64-69. XIN Kewei, LYU Fangxu, WANG Jianye, et al. A 12.5 GHz Clock Generator Applicable for 4-Way 100 Gbps High-Speed Serial Interface Circuits[J]. Journal of Air Force Engineering University (Natural Science Edition), 2019, 20(5): 64-69.

distances on the chip, and improves the clock quality of the transceiver. In addition, this technology avoids the use of high-frequency buffers and reduces power consumption. In order to further reduce the noise performance, a sampling phase detector is designed in the second-stage phase-locked loop. This technology improves the noise performance of the second-stage ring-vibration phase-locked loop by means of no-frequency phase discrimination. The overall power consumption of the clock generator circuit is 100 mW, the phase noise of the first-stage phase-locked loop is -125 dBc/Hz, and the phase noise of the second-stage ring oscillator circuit is -79 dBc/Hz at 1MHz. The overall jitter of the clock signal generated by the circuit is 2.7 ps. The quadrature clock skew is within 300 fs.

Key words: two-stage phase-locked loop; sampling phase detector; ring oscillator; multi-channel high-speed serial interface

近年来,高速串行接口发展迅速,根据 ISSCC 的统计^[1-2],高速串行接口的速率在以每 4 年 2~3 倍的速率快速增长,当前高速串行接口的速率已实现了 100 Gbps 新阶段^[3]。在 5G 网络、大数据、云计算的驱动下,以太网和高速通信网络的速率也将驱使高速串口达到 400 Gbps 级别。然而,4×100 G 的高速串口对高性能时钟的抖动与功耗方面提出了更高的要求。在高速串行接口的发射端,随着通信速率的提升,高速串行接口的发射端最后一级串化器的时序变得非常紧张,时钟的抖动性能直接决定发射数据的质量^[4];在基于相位差值器(Phase Interpolator, PI)的高速串行接口接收端,时钟质量直接决定时钟恢复电路(Clock and Data Recovery, CDR)的抖动容限性能^[5]。因此研究适用于多通道高速串行接口的低抖动的时钟发生器对提升高速串行接口的性能至关重要。在 4×100 G PAM4 高速串口设计中,为了保证时钟质量,通常需要 4 个基于 LC 振荡器的 25 GHz 高频时钟,然而片上多个高频 LC 振荡器的设计除了需要付出面积和功耗的代价外,更重要的是多个 LC 振荡器会相互干扰,会影响时钟的抖动性能。为了避免片内多个振荡器的相互干扰,2018 年 Yajun He 等人设计了一种应用于多通道高速串行接口的多锁相环电路^[6],该电路采用共享一个振荡器的时钟方案,由一个锁相环产生高频时钟,然后通过多级缓冲器给多通道高速串行接口提供时钟信号。但是,高频时钟片内的长距离传输时,随着传输距离和缓冲器级联数量的增加,时钟抖动性能也会急剧恶化。为了避免高频时钟的长距离传输,2015 年 Jihwan Kimdengren 设计的 16~40 Gb/s 的 NRZ/PAM4 发射机中的时钟电路采用了一种共享低速正交时钟的方案,该方案通过共享一个高频时钟,然后经过分频器产生正交时钟,最后将正交时钟通过多级缓冲器传输至 16~40 Gb/s 的发射机^[7]。2017 年 Guang Zhu 等人提出另外一种共享四相正交时钟的方案^[8]。但是,正交时钟在长距离传输中需要多级缓冲器,缓冲器的版图位置、IR 电压降和工艺偏差都会导致缓冲器失配,然而正

交时钟的相位对缓冲器的失配异常敏感,所以多级级联后的缓冲器不可避免的造成时钟占空比失真加剧和 IQ 正交时钟的相位失配加剧。

为了解决以上问题,本文提出两级锁相环时钟产生方案。第 1 级采用 LC 振荡器利用 125 MHz 参考时钟产生 3.125 GHz 的低抖动时钟,差分传输至每一个数据收发通道,并将其作为第 2 级锁相环的参考信号。第 2 级锁相环在环型振荡器的基础上利用采样锁相环技术,产生数据发送端需要的四相 12.5 GHz 高速时钟。这样设计的时钟电路在第 1 级产生的信号频率较低,避免了长距离传输高频多相位时钟信号而引入的额外噪声,此外避免了长距离传输正交信号,避免了信号的相位失配和占空比失真。第 2 级锁相环采用环形振荡器,避免了多个 LC 振荡器的串扰,显著减小了芯片面积,并通过采样锁相环技术抑制了锁相环由电荷泵引入的带内噪声,提高了时钟电路的性能。

1 采样锁相环噪声分析

典型的传统电荷泵锁相环噪声模型如图 1 所示,锁相环的相位噪声主要有两部分,分别是压控振荡器主导的带外噪声以及电荷泵主导的带内噪声。

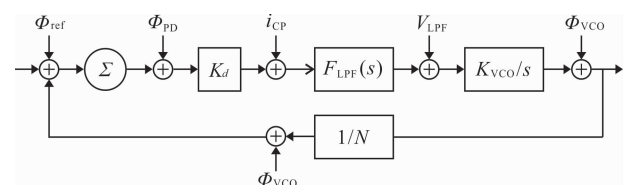


图 1 传统电荷泵锁相环噪声模型

设电荷泵的增益为 β ,由频域噪声模型可知,电荷泵产生的噪声 i_{CP} 从电荷泵到输出的传递函数为:

$$H_{CP}(s) = \frac{\varphi_{out,noise}}{i_{CP,noise}} = \frac{1}{\beta} \cdot \frac{G(s)}{1+G(s)} \quad (1)$$

式中: $G(s) = \beta F_{LPF}(s) \frac{K_{VCO}}{s}$, ($G(s) \gg 1$), $\beta = K_d/N$, 所以:

$$H_{CP}(s) \approx N/K_d \quad (2)$$

电荷泵产生的单边带带内噪声为:

$$S_{out,CP} \approx \frac{1}{2} S_{in,CP} |H_{CP}(s)|^2 = S_{in,CP} \frac{N^2}{2K_d} \quad (3)$$

由此可见,由于锁相环中的 N 分频器,电荷泵的噪声功率被放大了 N^2 倍。而采样锁相环没有分频器,由采样器完成鉴相器功能,即 $N=1$,则:

$$S_{out,CP} \approx S_{in,CP} \frac{N^2}{2K_d} = S_{in,CP} \frac{1}{2K_d} \quad (4)$$

该结构克服了由于分频器引入的对电荷泵噪声的增强作用,降低锁相环的相位噪声。

2 电路结构

本文设计的时钟电路主要由两级锁相环组成,具体结构如图 2 中间部分所示。第 1 级锁相环产生 3.125 GHz 的差分时钟,通过多级缓冲器传送至每个数据通路,并将其作为每个通道中第 2 级锁相环的参考信号。第 2 级锁相环产生正交的 12.5 GHz 高频时钟给收发机。由于传输过程中采用 3.125 GHz 的低频差分时钟,避免了高频时钟长距离传输时钟抖动性能的急剧恶化。另外,差分时钟的传输可以遏制片上的共模干扰,而且,差分时钟的相位失配和占空比时钟不会影响第 2 级锁相环的抖动性能。该结构利用第 1 级低频时钟的相位在每个通道的第 2 级锁相环中产生相位匹配的正交时钟,避免了正交时钟长距离传输后的相位失配。

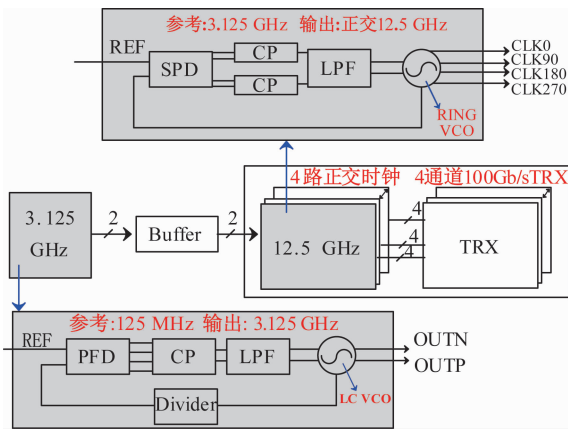


图 2 两级锁相环架构的多相时钟发生器电路结构

第 1 级锁相环的结构如图 2 中的下半部分所示,该结构采用了较为成熟的整数分频电荷泵锁相环结构,将 125 MHz 时钟信号作为参考时钟,产生低抖动的 3.125 GHz 时钟,该结构与文献[9]类似。

第 2 级锁相环整体结构如图 2 中的上半部分所示,该结构是在环型振荡器的基础上利用采样锁相环技术,产生各通道中相位高度匹配的四相 12.5 GHz 高速时钟。第 2 级锁相环电路的具体电路设计如图 3 所示,为了优化噪声性能,采用了采样鉴相器以代替分频器和常规鉴相器的组合,抑制分频器

带来的对锁相环噪声的增强作用,电路结构如图 4 (a)所示;为了匹配采样鉴相器,抑制杂散和噪声,采用了一种改进后的电荷泵结构,电路结构如图 4(b)所示。为了满足多通道高速串行接口电路中对多相时钟信号的要求,在第 2 级我们采用了小面积的环形振荡器生成正交信号电路结构如图 4(c)所示。

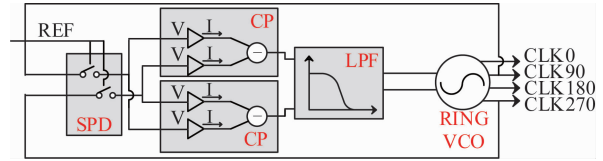
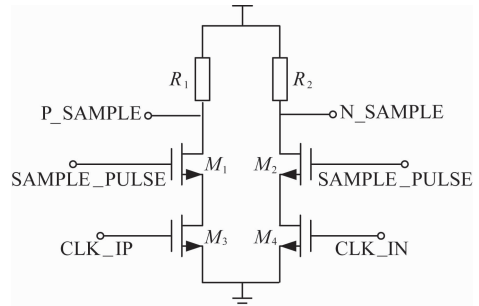
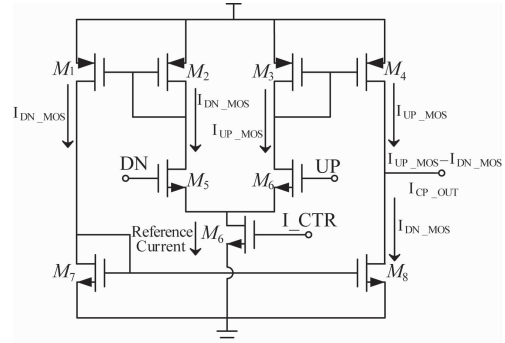


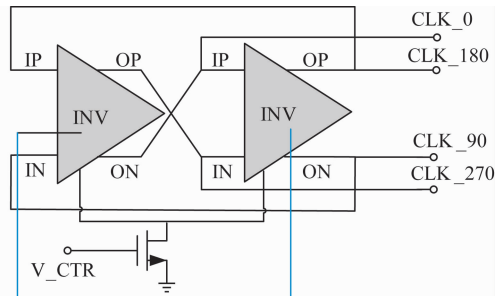
图 3 采样锁相环结构图



(a) 采样鉴相器



(b) 电荷泵



(c) 压控振荡器

图 4 电路组件示意图

图 3 中标注 SPD 为本文设计的采样鉴相器,采

样鉴相器由参考信号控制,采集压控振荡器输出的一对差分信号的电压差,电压差包含了相位误差信息。图中标注 CP 为电荷泵,电荷泵将输入电压转换为电流然后相减,输出的电流经过滤波器后控制压控振荡器。这样的设计可以跳过分频器,直接由低频的参考信号和高频的输出信号比较出相位误差,抑制了由分频器带来的噪声。

3 仿真结果与分析

为了验证本文提出适用于多通道 400 Gb/s 收发机的时钟发生器的性能,这里用一个时钟通路的版图进行仿真验证,如图 5 所示,图中标号 1 与标号 4 为多级 buffer,标号 5 与标号 2 为第 1 级锁相环,标号 3 为第 2 级锁相环。

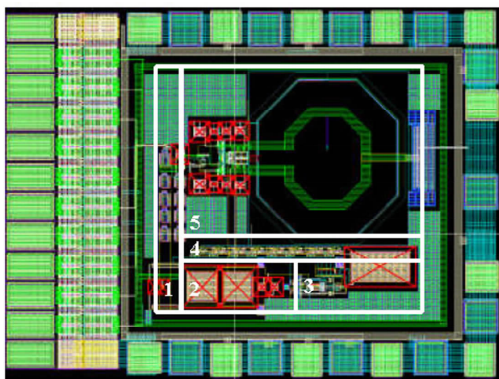


图 5 电路版图

3.1 电路的后端仿真

本文对电路中的 2 种振荡器分别进行仿真。第 1 级锁相环 LC 振荡器的相位噪声在 1 MHz 频偏处是 -127 dBc/Hz,如图 6 所示。第 2 级锁相环环形振荡器的相位噪声在 1 MHz 频偏处为 -79 dBc/Hz,如图 7 所示。第 1 级锁相环输出的 3.125 GHz 时钟整体抖动是 1 ps,如图 8 所示。经计算总的相位噪声在 1 MHz 频偏处为 -115 dBc/Hz,仿真计算结果如图 9 所示。第 1 级锁相环信号经过多级缓冲器后作为第 2 级锁相环的参考时钟信号,第 2 级锁相环锁的输出时钟抖动为 2.7 ps。第 2 级锁相环输出的正交时钟偏差如图 10 所示,偏差在 300 fs 以内。从仿真结果可以得出,该锁相环电路能够满足多通道 400 Gbps 高速串行接口电路的需求。

振荡器在锁相环中的作用非常重要,振荡器的噪声对锁相环的整体噪声影响十分显著,甚至可以说振荡器的噪声性能对锁相环的噪声性能有着决定性的影响。表 1 和表 2 分别表示 LC 振荡器和环形振荡器的性能,通过对比结果可知,本文设计的振荡

器相位噪声较低,性能较为优秀,可以满足设计要求。

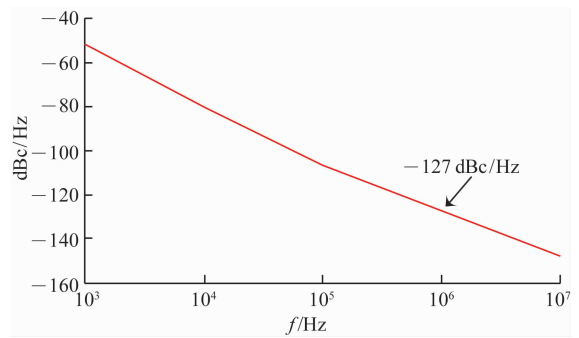


图 6 LC 振荡器的相位噪声

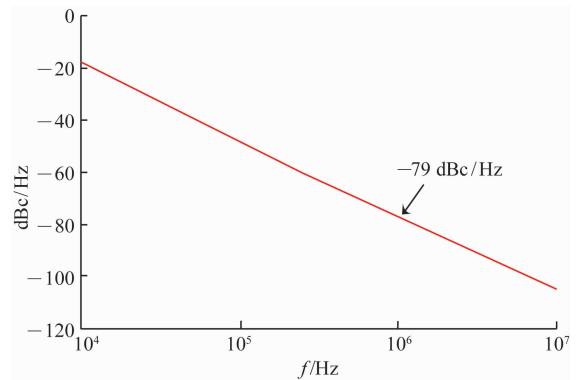


图 7 第 2 级锁相环环形振荡器相位噪声

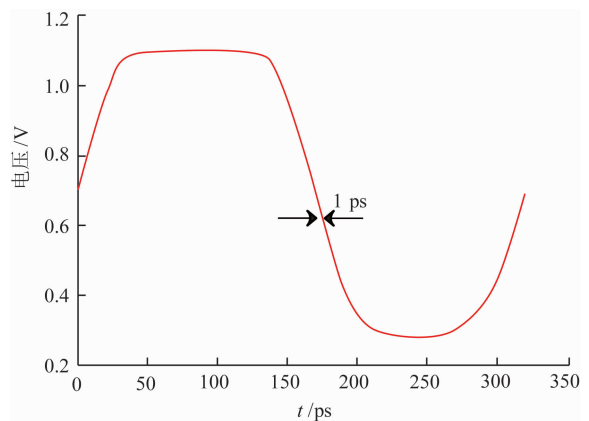


图 8 第 1 级锁相环时钟抖动

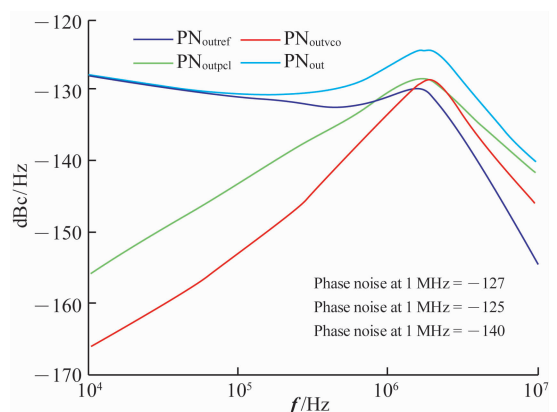


图 9 第 1 级锁相环相位噪声

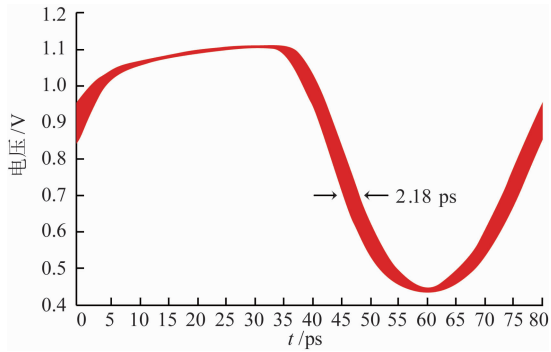


图 10 锁相环时钟抖动

表 1 LC 振荡器性能比较

性能	本文	文献[6]	文献[10]
工艺	65 nm	SMIC 40 nm	0.18 μm
相位噪声/(dBc \cdot Hz ⁻¹)	-127	-105	-113
工作频率/GHz	3.125	12.5	6.1
数据来源	仿真	仿真	仿真

表 2 环形振荡器性能比较

性能	本文	文献[6]	文献[11]
工艺/nm	65	SMIC 40	90
相位噪声/(dBc \cdot Hz ⁻¹)	-79	-72.6	-76.27
工作频率/GHz	12.5	10.312 5	6.02
数据来源	仿真	仿真	仿真

经仿真测试,表 3 为第 1 级锁相环性能比较结果。相比其他文献结果^[12-13],本设计中第 1 级锁相环相位噪声较低,性能较为优秀。

表 3 第 1 级锁相环性能比较

性能	本文	文献[12]	文献[13]
工艺	65 nm	SMIC. 18 μm	0.18 μm
相位噪声/(dBc \cdot Hz ⁻¹)	-125	-105	-95
工作频率/GHz	3.125	1.56	9.2
数据来源	仿真	实测	仿真

经仿真测试,试验结果见图 11,表 4 为仿真性能的对比情况,相比其他文献结果^[14-15],本文中第 2 级锁相环抖动较小,性能较为优秀,更加适合应用在高速串行接口中。

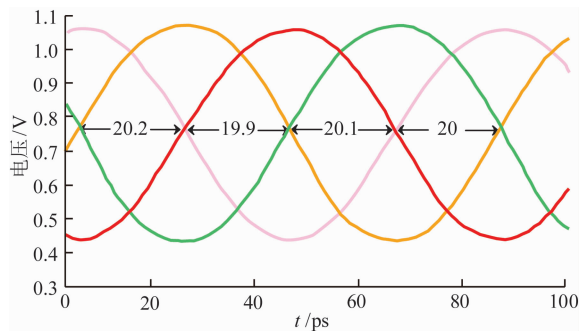


图 11 正交时钟偏差

表 4 第 2 级锁相环性能对比

性能	本文	文献[14]	文献[15]
工艺	65 nm	55 nm	0.130 μm
抖动/ps	2.18	2.27	18.1
工作频率/GHz	12.5	1.62	1.54
数据来源	仿真	仿真	实测

3.2 电路结构对电路整体性能的影响

为了更好地说明本文设计的时钟发生器在噪声,功耗,面积等方面的优势,我们根据已发表文献的结构设计了一个对比电路,该电路由一个 LC 锁相环直接生成 12.5 GHz 的时钟信号,并经过多级 buffer 传输到收发机,该电路同样只保留一条时钟通路,电路版图见图 12。

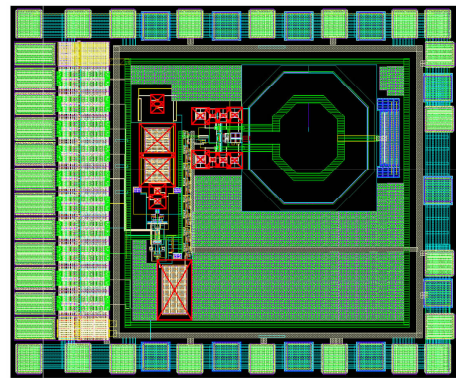


图 12 对比用版图

从仿真结果可以看出,相比单极锁相环直接为收发机提供时钟信号,两级锁相环在功耗,面积以及噪声性能上都有明显提高。从表 5 中的仿真数据对比,可以看出本文设计的两级四相位锁相环结构相比传统锁相环结构在抖动性能、功耗和面积更加适合应用于多通道的 100 Gbps 多通道高速串行接口。

表 5 2 种电路结构的对比

性能	单级锁相环结构	两级锁相环结构
抖动/ps	2.8	2.7
功耗/mW	140	100
面积/mm ²	0.4	0.36

4 结语

本文设计了一种应用于 4 \times 100 Gbps 高速串行接口的低抖动低功耗时钟发生器,该时钟发生器采用了两级锁相环结构,第 1 级为 LC 锁相环,第 2 级为采样鉴相技术的环振锁相环,单通道电路的整体功耗为 100 mW,面积 0.36 mm²,第 2 级锁相环抖动为 2.7 ps,在 1 MHz 频偏处振荡器相位噪声为 -79 dBc/Hz,相位偏差精度低于 200 fs。经仿真验

证,相比于传统锁相环,本设计性能较好,功耗较低,适合应用于 4×100 Gbps高速串行接口中。

参考文献(References):

- [1] Frank O'Mahony. 2017 ISSCC Trends Wireline[R]. Intel, Hillsboro, OR; San Francisco, 2017;15-18.
- [2] DALY D C, FUJINO L C, SMITH K C, et al. Through the Looking Glass- The 2018 Edition, Trends in Solid-State Circuits from the 65th ISSCC[J]. IEEE Solid-State Circuits Magazine, 2018,10(1):30-46.
- [3] 朱梅冬,陆建鑫. PAM4技术在光通信应用中的系统分析[J]. 中兴通讯技术, 2018,24(4):33-37.
ZHU M D, LU J X. System Analysis of PAM4 Technology in Optical Communication Applications [J]. ZTE Technology Journal, 2018,24(4):33-37. (in Chinese)
- [4] HOU C L, WANG Z Q, HUANG K, et al. A 20 GHz PLL for 40 Gbps SerDes Application with 4 bit Switch-capacitor adaptive Controller[C]//2014 IEEE International Conference on Electron Devices and Solid-State Circuits. Chengdu, China; IEEE, 2014.
- [5] WANG Y S, ZHANG L X, HAN W J, et al. A Low-Jitter PLL with New Cross-Coupled VCO Delay Cell for SerDes CDR in 55nm CMOS Technology[C]//2016 13th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT). Hangzhou, China; IEEE, 2016.
- [6] HE Y J, WANG Z Q, LIU H, et al. An 8.5~12.5 GHz multi-PLL Clock Architecture with LC PLL and Ring PLL for Multilane Multi-Protocol SerDes[C]//2017 International Conference on Electron Devices and Solid-State Circuits. [S. l.]; IEEE, 2017;1-2.
- [7] KIM J, BALANKUTTY A, ELSHAZLY A, et al. 3.5 A 16-to-40 Gb/s Quarter-Rate NRZ/PAM4 Dual-Mode Transmitter in 14 nm CMOS[C]//2015 IEEE International Solid-State Circuits Conference. San Francisco, CA, USA; IEEE, 2015.
- [8] ZHU G, PAN Q, ZHUANG J, et al. A Low-Power PAM4 Receiver Using 1/4-Rate Sampling Decoder with Adaptive Variable-Gain Rectification[C]//2017 IEEE Asian Solid-State Circuits Conference. [S. l.]; IEEE, 2017.
- [9] XIN K W, LYU F X, WANG J Y, et al. Design of a Low Noise Clock Generator Based on TSMC65nm Process [C]//2018 14th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT). [S. l.]; IEEE, 2018.
- [10] MAHESHWAIR N, CHAUHAN P S, PANDA D K. Design & Optimization of Switched Capacitor Array Based Differential CMOS LC VCO for wide Band Application[C]//2017 International Conference on Information, Communication, Instrumentation and Control. [S. l.]; IEEE, 2017;1-5.
- [11] ISLAM R, AHMAD N K S, ZIA UDDIN S M, et al. Design and Analysis of 3 Stage Ring Oscillator Based on MOS Capacitance for Wireless Applications[C]//2017 International Conference on Electrical, Computer and Communication Engineering. Cox Bazar, Bangladesh; IEEE, 2017.
- [12] 李通,陈志铭,桂小琰. 一种低相位噪声锁相环频率合成器的设计[J]. 微电子学, 2015,45(4):433-436.
LI T, CHEN Z M, GUI X Y. Design of a Low Phase Noise PLL Frequency Synthesizer [J]. Microelectronics, 2015,45(4):433-436. (in Chinese)
- [13] 马意彭,葛飞翔. 基于0.18 μm CMOS工艺的锁相环频率综合器设计[J]. 电子技术与软件工程, 2018(12):91-92.
MA Y P, GE F X. Design of Phase-Locked Loop Frequency Synthesizer Based on 0.18 μm CMOS Technology [J]. Electronic Technology & Software Engineering, 2018(12):91-92. (in Chinese)
- [14] 杨畅. 快速锁定的高速低抖动时钟发生器的研究与设计[D]. 成都:电子科技大学, 2015.
YANG C. Research & Design on Fast-Locked High-Speed and Low-Jitter Clock Generator [D]. Chengdu: University of Electronic Science and Technology of China, 2015. (in Chinese)
- [15] 刘辉华,李平,李磊,等. 一种宽频带低抖动锁相环[J]. 微电子学, 2017,47(5):662-665.
LIU H H, LI P, LI L, et al. A Wide Tuning Range and Low-Jitter Phase-Locked Loop [J]. Microelectronic, 2017,47(5):662-665. (in Chinese)

(编辑:徐楠楠)