

# 分形调制的硬件实现方案

杨航, 唐红, 杜兴民, 陶祁

(空军工程大学 工程学院, 陕西 西安 710038)

**摘要:**以 Mallat 算法和多相滤波器为基础,提出了一种分形调制和解调系统的硬件实现方案,对成形和同步系统进行了综合设计。针对同步中对定时精度敏感,易假同步等弱点,在最大似然估计算法的基础上采取了载波相位恢复与码元帧同步相结合的方式,同时也可以对假同步进行检测和纠正。仿真和测试的结果表明,该方案在信噪比为 10 dB 的条件下,能使单个子带的误码率达到  $10^{-5}$  数量级。

**关键词:**分形调制;硬件实现;载波相位恢复;最大似然估计

**中图分类号:** TN76 **文献标识码:** A **文章编号:** 1009-3516(2007)03-0046-03

分形调制因其抗干扰能力强、频带利用率高、保密性好、信道适应能力强等优点<sup>[1-2]</sup>,成为近年来倍受关注的研究热点。然而对基于小波的这一类调制技术而言,硬件实现问题一直是制约其发展的瓶颈。虽然文献[3]、[4]阐述了小波包调制的 FPGA 实现问题,但其中一些关键技术如同步的实现问题并未解决。文献[5]、[6]、[7]从理论上研究了小波同步中的最大似然估计、S 曲线以及 Cramér-Rao 界等理论问题,为同步的硬件实现提供了参考依据。本文设计了发射机和接收机的硬件实现方案,对成形和同步系统进行了构建,并针对同步过程中的难点提出了解决方案。

## 1 分形调制系统的整体框架

分形调制信号为  $s(t) = \sum_m \sum_n \sqrt{E_b} d_{n \bmod L} 2^{-m/2} \psi(2^{-m}t/T_0 - n) = \sum_m \sum_n \sqrt{E_b} d_{n \bmod L} 2^{-m/2} \psi_n^m(t)$ 。式中:  $E_b$  是码元能量,  $\psi(t)$  为母小波,  $\psi_n^m(t)$  是归一化的小波正交基,  $m, n$  分别为尺度因子和位移因子,其中  $m \in [1 - M, 0]$ ,  $d_{n \bmod L}$  是具有有限长  $L$  的码元序列,  $T_0$  为 0 子带上的码元周期。该信号的最佳接收是将本地小波基  $\psi_n^m(t)$  与接收信号进行相关运算并作极性判决<sup>[2,8]</sup>。

整个调制及其相关接收实际上是 IDWT 和 DWT 过程<sup>[2]</sup>,可以采用 Mallat 算法<sup>[9]</sup>构造共轭滤波器组来实现。对于其中的插值和抽取滤波器,在设计中可以采用多相结构<sup>[9-10]</sup>以减少计算量。Mallat 算法和多相滤波器构成了分形调制系统的设计基础。但在具体的硬件实现过程中,需要综合考虑采样精度的要求、运算速度的限制、成形和同步等多种技术问题,必须在上述基础上作进一步调整和改进。为了减小硬件实现的复杂度,我们采用支撑长度较短的 db2 小波作为载波,在 0, -1 和 -2 三层子带上调制信息。

## 2 发射端结构设计

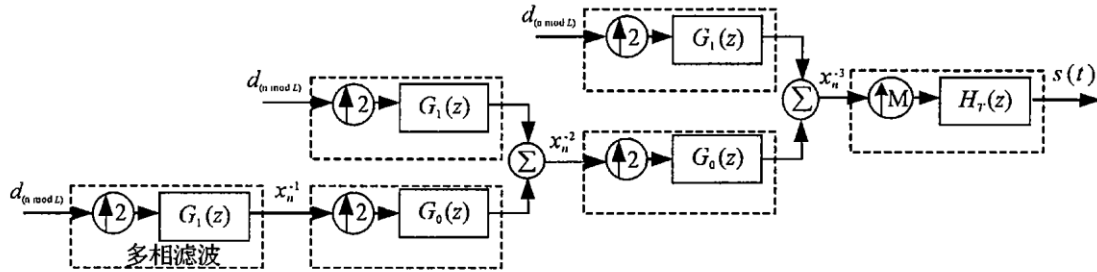
发射端 IDWT 滤波器组的输出是时域离散信号,必须经过内插和成形后才能进行上变频。该离散序列是  $s(t)$  在尺度函数  $\phi_n^{-3}(t) = 2\sqrt{2}\phi(8t/T_0 - n)$  上的投影<sup>[9]</sup>。因此,成形滤波器的冲激响应  $h_T(t)$  和尺度函数  $\phi_n^{-3}(t)$  是一致的。小波变换的正交性决定了  $h_T(t)$  满足抗 ISI 的条件,而且由文献[2]对小波调制频谱

收稿日期:2006-07-17

基金项目:国家空间微波技术实验室基金资助项目(51473030105JB3201)

作者简介:杨航(1978-),男,河南新乡人,博士生,主要从事通信信号处理研究。

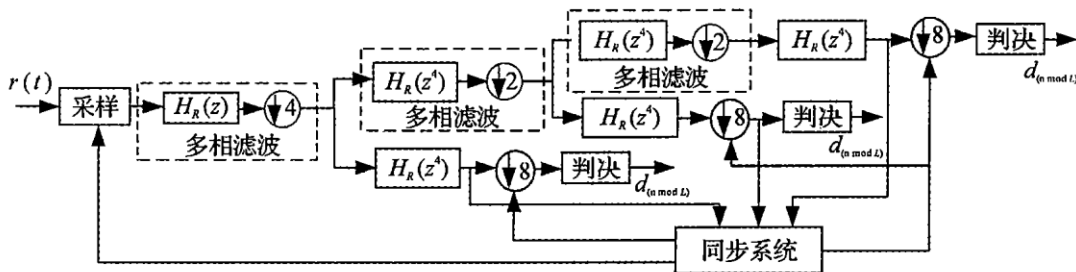
的分析可知,  $h_T(t)$  还具有频带紧凑, 旁瓣衰减快的优点。  $h_T(t)$  在理论上是连续的, 而实际中只需有限采样点予以表示就可以了。 设小波的支撑长度为  $L$  (对 db2 小波来说  $L=3$ ), 每个符号间隔  $T_0/8$  内取  $M$  个采样点 (由采样速率决定), 这里取  $M=16$ 。 此时共有  $LM$  个采样点来表示  $h_T(t)$ , 以离散序列  $h_T(n)$  代替。 引入了内插和成形滤波之后, 发射端的结构见图 1。



### 3 接收端结构设计

在接收端, 经下变频后的信号首先要进行匹配滤波和抽取, 变成采样速率较低的信号以便后期处理。 由文献 [8]、[11] 可知, 前端的匹配滤波器  $h_R(n)$  是成形滤波器  $h_T(n)$  的反转。 而对于抽取过程, 应选取适当的抽取因子, 既要降低采样速率, 又要保留一定的冗余信息以供同步检测<sup>[6]</sup>, 两者需要折衷。 实验结果显示, 每个符号间保留 4 个采样点比较合适, 如果前端的采样速率为  $128/T_0$ , 则抽取因子便为 4, 相应地相位时钟调整的最小步进为  $T_0/128$ 。

从系统的角度考虑, 匹配滤波器的输出保留的已是最小限度的冗余信息。 而实际上各子带对冗余信息采样间隔的要求是不一样的, 尺度越大, 间隔也可以相应增大。 因此各子带向下一级尺度滤波时可以进行一次二抽取。 由此可得, 接收端的总体结构如图 2 所示。



如果我们选取  $-2$  子带上的码元速率为  $1 \text{ M}$ , 那么前端的采样速率便为  $32 \text{ M}$ , 相应地相位调整的最小步进为  $31.25 \text{ ns}$ 。

同步问题是接收端设计的一大难点。 这里我们主要解决相位延时估计即载波相位同步的问题, 对于收发端时钟频率偏差的校正, 则可以在下变频的过程中来完成。 依据 ML 同步算法<sup>[5]</sup>, 主要的方案是检测解调端输出信号平方的极值点。 与传统的方式不同, 我们利用多速率的特点, 将载波相位同步与帧同步结合起来, 同时也可以对假同步进行检测和纠正。

在未检测到帧同步脉冲以前, 我们仅对  $-2$  子带上的滤波器输出进行平方极值点的检测。 检测极值点常用的方法是依据其导数的大小来进行反馈调节, 但需要对导数的变化范围进行估计。 为了避免这一过程, 可以采用简单的比较法, 即前后相邻的三个数据的平方进行相互比较, 依据比较结果来调节时钟。 由于最小的调整步进为码元周期的  $1/32$ , 没有必要采用梯度搜索算法也可以达到较快的收敛速度。 因此规定每次调整的步进均为  $31.25 \text{ ns}$ 。 调整时钟时需要将输入到的采样序列进行数据重组。 为了减小相位调整时造成的波形失真, 我们设定每隔 2 个码元 (即  $T_0/2$ ) 作一次调整。

对于信号的帧同步, 则采用插入同步字头的方法, 在帧同步的检测过程的同时附带有检测并纠正假同步的电路。 其结构见图 3。

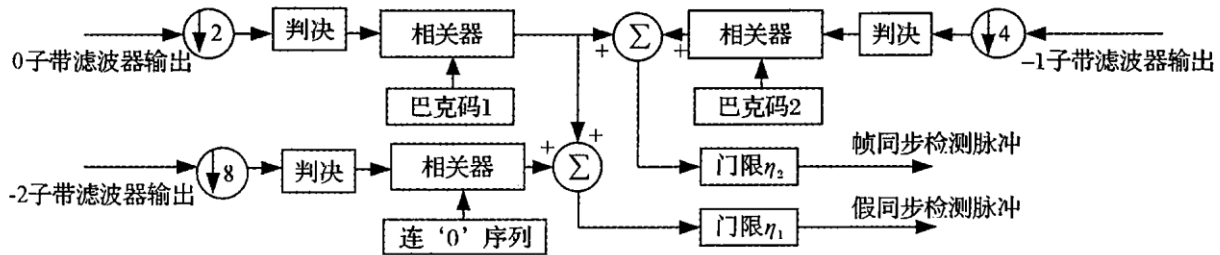


图3 帧同步电路结构

我们在0, -1, -2 三层子带的调制序列中分别插入巴克码1, 巴克码2, 和连‘1’序列, 其中巴克码2 是巴克码1 的二次重复。所有的相关检测系统都是以 -2 子带上的码元时钟为基准的, 这样, 同步误差对0 子带和 -1 子带上误码性能的影响较小, 无须 -2 子带码元的精确同步就可以检测出同步字头, 尤其是巴克码1 的检测, 其帧同步脉冲的宽度有可能大于  $T_0/4$ 。因此, 我们对巴克码1 和2 进行联合检测, 将同步脉冲的宽度控制在  $T_0/4$ 。如果系统一旦形成假同步, 插入的连1 序列在解调时将会发生倒相, 形成近似的连‘0’序列, 可以用连‘0’序列相关器来检测。为了减小虚警概率, 我们将其与巴克码1 的检测联合起来, 因为即使是 -2 子带处于假同步状态, 0 子带也可以正确检测同步字头。一旦输出假同步检测脉冲, 便对基准时钟作倒  $\pi$  处理。

值得注意的是, 在解调的过程中, 各个子带的硬件电路延时是不一致。具体说来, -1 子带的延时要比 -2 子带大  $LT_0/4$ , 而0 子带的延时要比 -1 子带大  $LT_0/2$ 。因此, 在发射端插入同步字头时要适当安排它们的相对位置以匹配接收端的延时。

帧同步一旦被检测, 0 子带和 -1 子带上的时钟相位便可以确定, 这样, 我们就可以将 -2, -1, 0 三层子带的信息联合起来进行最大似然估计, 把相位调整的频率改为  $1/T_0$ , 将同相位的信息进行平方累加来检测极值点, 这样可以减小同步跟踪的误差, 增大其稳定性。

## 4 仿真结果及结论

我们将发射机和接收机的设计方案分别在 quartus7.0 上进行了编译和仿真, -2, -1 和 0 子带上的码元速率分别为 1Mbps, 0.5Mbps 和 0.25Mbps, 帧长分别为 512 bit, 256 bit 和 128 bit, 插入的巴克码1, 巴克码2 和连1 序列的长度分别为 7 bit, 14 bit 和 28 bit。信噪比为 10 dB。做法是用 MATLAB 编程模拟产生调制信号的采样序列, 导入芯片的 ROM 表里进行循环读取和时序仿真, 再用可逆计数器记录相位调整的总量, 其初始值设为 32, 状态变化如图 4 所示。图 4 中  $n_b$  表示的是 -2 子带上的比特数,  $N_c$  表示计数器的状态。在  $n_b = 147$  时, 检测到假同步脉冲,  $N_c$  发生了一次数值为 16 的突变; 在  $n_b = 660$  时, 检测到帧同步脉冲, 相位调整的频率变慢,  $N_c$  稳定在 22 附近。最后我们用误码仪测得 -2, -1, 0 三个子带的误码率分别为  $6.73 \times 10^{-5}$ ,  $3.96 \times 10^{-5}$ ,  $2.45 \times 10^{-5}$ 。

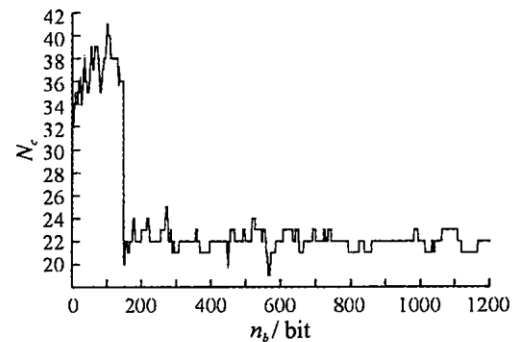


图4 相位调整量的变化

小波调制固有的复杂性增大了其硬件实现的难度, 也限制了码元速率的提高, 特别是同步时钟的提取, 其规律性不强, 对定时精度要求较高, 从而对信号的采样精度和芯片的运算速度有较高的要求。本方案采取了多相滤波和数据重组的方式以降低运算速度。同时利用多速率的特点, 将码元同步与帧同步相结合以提高定时精度, 对固有的假同步现象也进行了检测和纠正, 具有一定的实用性。

### 参考文献:

- [1] Wornell G W, Oppenheim A V. Wavelet - based Representations for a Class of Self - similar signals with Application to Fractal Modulation[J]. IEEE Trans on Communication, 1992, 38(2): 785 - 800.

- [4] 郑林华,袁继兵.一种 MPSK 全数字接收机载波同步新方法[J].湘潭大学学报:自然科学版,2004,(3):42-46.  
 [5] 周国富,杨文轩.一种新颖的 BPSK 信号数字中频处理方法[J].现代雷达,1999,(2):32-36.  
 [6] Brown J L. Generating Uncorrelated Random Outputs by Nonlinear Processing of a Single Noise Source [J]. IEEE Trans Appl Industry,1964,83:408-410.

(编辑:门向生)

## A New Intermediate Frequency Digital Orthogonal Demodulating Method for BPSK

HU Deng - peng, LI Hong - wei, JIANG Li, TIAN Wen - hua, ZHU Xiao - peng

(The Telecommunication Engineering Institute, Air Force Engineering University, Xi'an 710077, China)

**Abstract:** A new intermediate frequency digital demodulating method is proposed based on orthogonal device and feed - forward implementation, which can be easily implemented on universal communication system. The main algorithm of this demodulating method, including frequency offset estimation algorithm and timing recovery algorithm, is also discussed in detail. The mean square error (MSE) performances of these two main algorithms and of the bit error ratio (BER) of this demodulating method are simulated. The computer simulation result demonstrates the validity of this new intermediate frequency digital demodulating method.

**Key words:** BPSK; timing recovery; frequency estimation; intermediate frequency digital demodulation

(上接第 48 页)

- [2] Manglani M. Wavelet modulation in Gaussian and Rayleigh fading channels[D]. Blackburg Virginia: Virginia Polytechnic Institute and State University, 2001.  
 [3] Trenas M A, Lopez J, Zapata E L. FPGA Implementation of Wavelet Packet Transform with Reconfigurable Tree Structure[J]. EUROMICRO, 2000:1244-1251.  
 [4] Jamin A, ahönen M. FPGA Implementation of the Wavelet Packet Transform for High Speed Communications[J]. FPL, 2002:212-221.  
 [5] Luise M, Marselli M, Reggiannini R. Clock Synchronization for Wavelet - based Multirate Transmission[J]. IEEE Trans on Signal Processing, 2000, 48:1047-1054.  
 [6] Fu E L, Hwang W L, Huang C L. Timing Acquisition for Fractal Modulation in Gaussian White and 1/f Channels[J]. IEEE Internal Conference, 2004, 48:841-844.  
 [7] Fu C M, Hwang W L, Huang C L. Data - aided frame timing acquisition for fractal modulation in an AWGN channel[J]. Signal Processing, 2006, 86(2):310-318.  
 [8] 樊昌信,张甫翊,徐炳祥,等.通信原理(第5版)[M].北京:国防工业出版社,2001.  
 [9] 杨福生.小波变换的工程分析与应用[M].北京:科学出版社,1999.  
 [10] 杨小牛,楼才义,徐建良.软件无线电原理与应用[M].北京:电子工业出版社,2001:21-36.

(编辑:姚树峰)

## Hardware Implementation Scheme for Fractal Modulation

YANG Hang, TANG Hong, DU Xing - min, TAO Qi

(The Engineering Institute, Air Force Engineering University, Xi'an 710038, China)

**Abstract:** This paper proposes a hardware implementation scheme for the fractal modulation and demodulation system based on Mallat algorithm and polyphase filter, and the shaping and synchronization system are also designed. According to the weakness of false synchronization and high sensitivity to timing error, the carrier phase recovery is combined with frame synchronization on the basis of maximum likelihood (ML -) estimation, and at the same time the false synchronization can be detected and corrected. The simulation results indicate that the scheme is feasible and effective.

**Key words:** fractal modulation; hardware implementation; carrier phase recovery; ML - estimation